

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	Group Art Unit:	To be assigned
Mamoru TSURUYA)		
Serial No.:)	Examiner:	To be assigned
To be assigned)		
Filed:)	Confirmation No.:	To be assigned
November 13, 2003)		
For:)		
AMPLIFICATION CIRCUIT,)		
NOISE REDUCTION CIRCUIT)		
AND POWER CONVERSION)		
CIRCUIT)		

San Diego, California

MAIL STOP PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

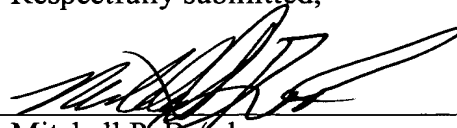
Dear Sir or Madam:

Transmitted herewith is Priority Document: Japan Application No. 2003-358462.

Although it is believed that no fees are due for this submission, the Commissioner is authorized to charge any shortage in fees due in connection with the filing of this paper to our Deposit Account No. 50-2298 in the name of Luce, Forward, Hamilton & Scripps LLP.

Respectfully submitted,

11/13/03
Date

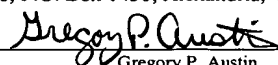


Mitchell P. Brook
Attorney for Applicant(s)
Reg. No. 32,967
c/o LUCE, FORWARD, HAMILTON
& SCRIPPS LLP
11988 El Camino Real, Ste. 200
San Diego, California 92130
Telephone No.: (858) 720-6300

CERTIFICATE OF EXPRESS MAILING

I hereby certify that this correspondence, and anything referred to as transmitted herewith, is being deposited with the United States Postal Service via Express Mail Post Office to Addressee Label No. EV292297225US, with sufficient postage in an envelope addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date indicated below.

Date: November 13, 2003

By: 
Gregory P. Austin

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月17日
Date of Application:

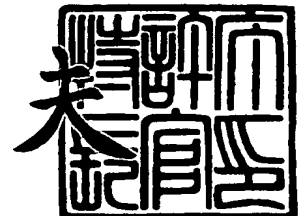
出願番号 特願2003-358462
Application Number:
[ST. 10/C]: [JP2003-358462]

出願人 サンケン電気株式会社
Applicant(s):

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 A0313
【提出日】 平成15年10月17日
【あて先】 特許庁長官 殿
【国際特許分類】 H02M 1/14
H02M 7/06
【発明者】
【住所又は居所】 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内
【氏名】 鶴谷 守
【特許出願人】
【識別番号】 000106276
【氏名又は名称】 サンケン電気株式会社
【代理人】
【識別番号】 100095407
【弁理士】
【氏名又は名称】 木村 満
【選任した代理人】
【識別番号】 100109449
【弁理士】
【氏名又は名称】 毛受 隆典
【手数料の表示】
【予納台帳番号】 038380
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0017501

【書類名】 特許請求の範囲**【請求項 1】**

電力供給用の一組の電源線に伝播するノイズを低減するノイズ低減装置であって、
前記電源線と出力巻線とを磁芯にそれぞれ貫通させて電流を検出する変流器を用い、前記電源線から接地線に流れるノイズに起因する漏れ電流を検出する漏れ電流検出手段と、
前記漏れ電流検出手段が検出した漏れ電流を、前記漏れ電流を打ち消すための補償電流として、前記補償電流の注入点を前記変流器による漏れ電流検出点よりも前記電源線の入力に近い前記接地線とし、前記補償電流を前記注入点に供給する電流供給手段と、を備えた、

ことを特徴とするノイズ低減装置。

【請求項 2】

前記漏れ電流検出手段は、前記電源線と出力巻線とを磁芯にそれぞれ一回貫通させて電流を検出する変流器を用いる、

ことを特徴とする請求項 1 に記載のノイズ低減装置。

【請求項 3】

前記変流器の磁芯は、前記電源線と前記出力巻線を一回束ねた太さが少なくとも貫通できる穴を設けた形状を有する、

ことを特徴とする請求項 1 又は 2 に記載のノイズ低減装置。

【請求項 4】

前記変流器の磁芯が前記電源線を通す方向に分離する形状を有し、前記変流器が前記磁芯を前記電源線の前記漏れ電流検出点に装着して電流を検出する、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のノイズ低減装置。

【請求項 5】

前記変流器は、前記電源線の零相電流を検出比 1 で検出するものである、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のノイズ低減装置。

【請求項 6】

前記漏れ電流検出手段が検出した漏れ電流を増幅する増幅回路を備え、前記増幅回路は、増幅度を 1 として前記接地線に供給する電流を増幅するものである、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のノイズ低減装置。

【請求項 7】

電力を前記増幅回路に供給する電力供給手段を備え、

前記増幅回路は、

NPN トランジスタと、PNP トランジスタと、コンデンサと、
を備え、

前記 NPN トランジスタのコレクタは、前記電力供給手段の正極側に接続され、前記 PNP トランジスタのエミッタは、前記 NPN トランジスタのエミッタに接続され、前記 PNP トランジスタのコレクタは前記電力供給手段の負極側に接続され、前記漏れ電流検出手段の一方の出力端が前記 NPN トランジスタのベース及び前記 PNP トランジスタのベースに接続され、前記漏れ電流検出手段のもう一方の出力端が前記 NPN トランジスタのエミッタ及び前記 PNP トランジスタのエミッタに接続され、

前記コンデンサは、前記接地線と、前記 NPN トランジスタのベース及び前記 PNP トランジスタのベースと、の間に接続されて構成された、

ことを特徴とする請求項 6 に記載のノイズ低減装置。

【請求項 8】

前記増幅回路は、

1 次巻線と 2 次巻線とを有する変流器の 2 次巻線に接続される増幅回路であって、

前記変流器の 2 次巻線に流れる電流を、前記 2 次巻線の誘起電圧に基づいて増幅し、第 1 のインピーダンス素子を介して出力する電流増幅部と、

前記電流増幅部により前記第 1 のインピーダンス素子に印加される電圧に対応する電圧を第 2 のインピーダンス素子に印加して、該第 2 のインピーダンス素子から電流を出力す

るバッファ増幅部と、を備え、

前記変流器の 1 次巻線に流れる電流を増幅し、増幅した電流が、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とのインピーダンスの比に応じた比率で、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とからそれぞれ出力されるように構成された、

ことを特徴とする請求項 6 に記載のノイズ低減装置。

【請求項 9】

前記増幅回路は、

エミッタが、1 次巻線と 2 次巻線とを有する変流器の 2 次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第 1 の抵抗が接続された N P N 形バイポーラトランジスタと、

前記 N P N 形バイポーラトランジスタのベースと前記変流器の 2 次巻線他端との間に接続されて、前記 N P N 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の 2 次巻線の一端に接続され、コレクタが前記直流電源の負極に接続され、コレクタとベースとの間に第 2 の抵抗が接続された P N P 形バイポーラトランジスタと、

前記 P N P 形バイポーラトランジスタのベースと前記変流器の 2 次巻線他端との間に接続されて、前記 P N P 形バイポーラトランジスタのエミッター－ベース間電圧に相当する電圧降下を発生させる第 2 の電圧降下素子と、

前記第 1 の電圧降下素子と前記第 2 の電圧降下素子との接続点に一端が接続された電流供給用コンデンサと、

を備え、

前記変流器の 1 次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする請求項 6 に記載のノイズ低減装置。

【請求項 1 0】

電源からの供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

前記電源から前記電力変換部への電力供給用の電源線に伝播するノイズを低減する請求項 1 乃至 9 のいずれか 1 項に記載のノイズ低減装置と、を備えた、

ことを特徴とする電力変換装置。

【請求項 1 1】

前記電力変換部がトランスを備え、前記トランスは、前記増幅回路の動作電源用に補助巻線をさらに備えた、

ことを特徴とする請求項 1 0 に記載の電力変換装置。

【請求項 1 2】

前記電力変換部はインバータ回路と、前記インバータ回路を制御する制御回路と、を備え、前記制御回路用の動作電源が前記増幅回路に接続されて、前記増幅回路に直流電圧を供給する、

ことを特徴とする請求項 1 0 に記載の電力変換装置。

【書類名】 明細書**【発明の名称】 ノイズ低減装置及び電力変換装置****【技術分野】****【0001】**

本発明は、ノイズ低減装置及び電力変換装置に関し、特に小型化を可能とする技術に関する。

【背景技術】**【0002】**

モータに電力を供給するインバータ、コンピュータに電源電圧を供給するスイッチングレギュレータ等の電力変換装置は、所定の電源から供給された電力を、所定の電圧の電力に変換して負荷に供給する。

【0003】

このような従来の電力変換装置は、入力側にラインフィルタを設けてノイズを低減している。負荷がモータであるインバータ、容量の大きなスイッチング電源の場合は対地間の静電容量が大きく、これによる高周波の漏れ電流も大きくなる。この漏れ電流が大きいと、漏電ブレーカを遮断させたり、周辺の電子機器に妨害を与えたりすることになる。

【0004】

上記電力変換装置に備えられるノイズ低減装置としては、入力側に漏れ電流検出器を設け、電源線に流れる漏れ電流を電流の差として検出し、ノイズ補償電流供給回路を介してノイズ補償電流を生成して負荷からの漏れ電流を相殺する方式（特許文献1参照）が提案されている。

【特許文献1】 特開平9-266677号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

しかし、かかる電力変換装置においては、電源線に流れる漏れ電流を電流の差として検出するために、検出用CT（カレントトランス）で直接検出してノイズ補償電流供給回路から補償電流を電源線に供給する（例えば、上記した特許文献1図2の符号8、9）。この場合、検出用CTの2次巻線には、増幅回路に備えられたトランジスタのEB間電圧（0.6V）を発生させる必要があり、2次巻線の増大をまねく。特に、このような方式では、検出用CTの1次側と2次側の巻数比から、線径の太い1次巻線の巻数も増大し、大電流での応用が難しいという問題があった。また、トランジスタの中性点電圧が供給電圧の中点とならず、ノイズの制御範囲が狭くなるという欠点もあった。さらには、これらのノイズ低減装置は、非常に大きなノイズフィルタが必要であったため、装置が大型化し、コスト上昇の原因の一つとなっていた。

本発明は、このような従来の問題点に鑑みてなされたもので、小型化することが可能なノイズ低減装置及び電力変換装置を提供することを目的とする。

【課題を解決するための手段】**【0006】**

この目的を達成するため、本発明の第1の観点に係るノイズ低減装置は、電力供給用の一組の電源線に伝播するノイズを低減するノイズ低減装置であって、前記電源線と出力巻線とを磁芯にそれぞれ貫通させて電流を検出する変流器を用い、前記電源線から接地線に流れるノイズに起因する漏れ電流を検出する漏れ電流検出手段と、前記漏れ電流検出手段が検出した漏れ電流を、前記漏れ電流を打ち消すための補償電流として、前記補償電流の注入点を前記変流器による漏れ電流検出点よりも前記電源線の入力に近い前記接地線とし、前記補償電流を前記注入点に供給する電流供給手段と、を備えたことを特徴とする。

【0007】

前記漏れ電流検出手段は、前記電源線と出力巻線とを磁芯にそれぞれ一回貫通させて電流を検出する変流器を用いてもよい。

ことを特徴とする請求項 1 又は 2 に記載のノイズ低減装置。

【0008】

前記変流器の磁芯は、前記電源線と前記出力巻線を一回束ねた太さが少なくとも貫通できる穴を設けた形状を有するものであってもよい。

【0009】

前記変流器の磁芯が前記電源線を通す方向に分離する形状を有し、前記変流器が前記磁芯を前記電源線の前記漏れ電流検出点に装着して電流を検出するものであってもよい。

【0010】

前記変流器は、前記電源線の零相電流を検出比 1 で検出するものであってもよい。

【0011】

前記漏れ電流検出手段が検出した漏れ電流を増幅する増幅回路を備え、前記増幅回路は、増幅度を 1 として前記接地線に供給する電流を増幅するものであってもよい。

【0012】

電力を前記増幅回路に供給する電力供給手段を備え、
前記増幅回路は、
NPN トランジスタと、PNP トランジスタと、コンデンサと、
を備え、

前記 NPN トランジスタのコレクタは、前記電力供給手段の正極側に接続され、前記 PNP トランジスタのエミッタは、前記 NPN トランジスタのエミッタに接続され、前記 PNP トランジスタのコレクタは前記電力供給手段の負極側に接続され、前記漏れ電流検出手段の一方の出力端が前記 NPN トランジスタのベース及び前記 PNP トランジスタのベースに接続され、前記漏れ電流検出手段のもう一方の出力端が前記 NPN トランジスタのエミッタ及び前記 PNP トランジスタのエミッタに接続され、

前記コンデンサは、前記接地線と、前記 NPN トランジスタのベース及び前記 PNP トランジスタのベースと、の間に接続されて構成されたものであってもよい。

【0013】

前記増幅回路は、

1 次巻線と 2 次巻線とを有する変流器の 2 次巻線に接続される増幅回路であって、
前記変流器の 2 次巻線に流れる電流を、前記 2 次巻線の誘起電圧に基づいて増幅し、第 1 のインピーダンス素子を介して出力する電流増幅部と、

前記電流増幅部により前記第 1 のインピーダンス素子に印加される電圧に対応する電圧を第 2 のインピーダンス素子に印加して、該第 2 のインピーダンス素子から電流を出力するバッファ増幅部と、を備え、

前記変流器の 1 次巻線に流れる電流を増幅し、増幅した電流が、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とのインピーダンスの比に応じた比率で、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とからそれぞれ出力されるように構成されたものであってもよい。

【0014】

前記増幅回路は、

エミッタが、1 次巻線と 2 次巻線とを有する変流器の 2 次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第 1 の抵抗が接続された NPN 形バイポーラトランジスタと、

前記 NPN 形バイポーラトランジスタのベースと前記変流器の 2 次巻線他端との間に接続されて、前記 NPN 形バイポーラトランジスタのベース-エミッタ間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の 2 次巻線他端に接続され、コレクタが前記直流電源の負極に接続され、コレクタとベースとの間に第 2 の抵抗が接続された PNP 形バイポーラトランジスタと、

前記 PNP 形バイポーラトランジスタのベースと前記変流器の 2 次巻線他端との間に接続されて、前記 PNP 形バイポーラトランジスタのエミッター-ベース間電圧に相当する

電圧降下を発生させる第2の電圧降下素子と、

前記第1の電圧降下素子と前記第2の電圧降下素子との接続点に一端が接続された電流供給用コンデンサと、
を備え、

前記変流器の1次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成されたものであってもよい。

【0015】

本発明の第2の観点に係る電力変換装置は、
電源からの供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

前記電源から前記電力変換部への電力供給用の電源線に伝播するノイズを低減する請求項1乃至9のいずれか1項に記載のノイズ低減装置と、を備えたことを特徴とする。

【0016】

前記電力変換部がトランスを備え、前記トランスは、前記増幅回路の動作電源用に補助巻線をさらに備えたものであってもよい。

【0017】

前記電力変換部はインバータ回路と、前記インバータ回路を制御する制御回路と、を備え、前記制御回路用の動作電源が前記増幅回路に接続されて、前記増幅回路に直流電圧を供給するものであってもよい。

【発明の効果】

【0018】

本発明によれば、小型化することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態に係る電力変換装置を、図面を参照して説明する。

【0020】

(実施形態1)

実施形態1に係る電力変換装置の構成を図1に示す。

本実施形態1に係る電力変換装置は、ノイズフィルタ部1と、整流平滑回路部2と、電力変換回路部3と、ノイズ低減回路部4と、を備える。

【0021】

ノイズフィルタ部1は、コンデンサC1、C2、C3、C4と、チョークコイルL1と、を備えている。

コンデンサC1、C2は、ノーマルモードノイズを減衰させるアクロスザラインコンデンサであり、交流電源5の一对の電源線であるラインE1とE2との間に接続されている。

コンデンサC3、C4は、コモンモードノイズを低減させるためのコンデンサであり、ラインE2、E1と接地ラインとの間にそれぞれ接続されている。

【0022】

チョークコイルL1は、コモンモードノイズを減衰させるコモンモードチョークコイルであり、それぞれ、巻き方向を同じにして交流電源5からの交流入力電源線であるラインE1、E2に直列に接続されている。

【0023】

整流平滑回路部2は、整流回路11と、コンデンサC5と、からなる。

整流回路11は、交流電源5から供給された交流電圧を整流するものであり、ラインE1とラインE2とに接続されている。この整流回路11は、例えば、4つのダイオードからなるブリッジ整流回路によって構成されている。

【0024】

コンデンサC5は、整流回路11から出力された整流電圧の脈流を平滑化するためのコンデンサであり、整流回路11の出力端に接続されている。

【0025】

電力変換回路部 3 は、所定の直流電力を所定の電圧の直流電力に変換し、直流電圧を負荷 R 0 に供給するものであり、トランス T と、スイッチング素子 Q 1 と、ダイオード D 1、D 2 と、チョークコイル L 2 と、コンデンサ C 6 と、を備え、フォワードコンバータを構成している。

【0026】

トランス T は、1 次側の電力を 2 次側へ伝達するためのものであり、1 次巻線 n 1 と 2 次巻線 n 2 とを備えている。1 次巻線 n 1 は、スイッチング電流によって電圧を発生させ、トランス T に励磁エネルギーを生成するための巻線であり、2 次巻線 n 2 は、1 次巻線 n 1 で生成された励磁エネルギーで電圧を発生させるための巻線である。1 次巻線 n 1 の一端 P t11 は、コンデンサ C 5 の正極 (+) 側の端子に接続されている。

【0027】

スイッチング素子 Q 1 は、信号 S 1 が供給されて、トランス T の 1 次巻線 n 1 に流れる電流をスイッチングしてトランス T の 1 次巻線 n 1 に電圧を誘起させるための素子であり、トランス T の 1 次巻線 n 1 の他端 P t12 とコンデンサ C 5 の負極 (-) 側の端子との間に接続されている。図示しない制御部は、このスイッチング素子 Q 1 にパルス状の信号 S 1 を供給し、固定発振に基づいて P W M 制御を行うことにより、出力電圧を安定化させる。

【0028】

ダイオード D 1 は、スイッチング素子 Q 1 のオン期間で 2 次巻線 n 2 に発生した電圧から電流を整流するためのダイオードであり、そのアノードは、2 次巻線 n 2 の一端 P t21 に接続されている。

【0029】

ダイオード D 2 は、スイッチング素子 Q 1 のオン期間にチョークコイル L 2 に蓄積された励磁エネルギーに従って流れる電流をオフ期間にコンデンサ C 6 の正極 (+) 側に環流するためのダイオードであり、そのアノードは 2 次巻線 n 2 の他端 P t22 に接続され、そのカソードは、ダイオード D 1 のカソードに接続されている。

【0030】

チョークコイル L 2 は、コンデンサ C 6 へと流れる電流を平滑化するためのものであり、ダイオード D 1、D 2 のカソードとコンデンサ C 6 の正極 (+) 側の端子との間に接続されている。

【0031】

コンデンサ C 6 は、チョークコイル L 2 を通過した電流を平滑化して直流電圧を生成するためのものであり、チョークコイル L 2 を介してダイオード D 2 と並列に接続されている。このチョークコイル L 2 とコンデンサ C 6 とで低周波 L C フィルタを構成している。電力変換回路部 3 は、生成した直流電圧を負荷 R 0 に供給する。

尚、容量 C 10 は、直流電圧の負極 (-) ラインと接地ラインとの間に存在する浮遊容量を示す。

【0032】

ノイズ低減回路部 4 は、ノイズを低減するための回路部であり、零相変流器 21 と、増幅回路 22 と、を備える。

【0033】

零相変流器 21 は、ライン E 1、E 2 間の電流の差を検出することにより、漏れ電流を検出するものである。

【0034】

漏れ電流によってライン E 1、E 2 間で電流差が生ずる理由は、以下の通りである。もし、ノイズの発生がなく、浮遊容量も存在しなければ、ライン E 1、ライン E 2 には、それぞれ、電流値が等しく向きが逆向きの電流が流れる。ノイズが発生すると、このノイズは、ノイズの発生源に接続されたラインに重畳し、各ラインに伝播する。また、浮遊容量があると、この浮遊容量も、位置によってばらつきがある。このノイズの伝播と浮遊容量

のばらつきにより、各ライン間で電流の不均衡が生ずる。また、コンデンサC3、C4があると、コンデンサC3、C4を介して接地ラインに漏れ電流が流れ、各ライン間での電流の不均衡は、ラインE1、E2に流れる電流の差となって現れてくる。

【0035】

この電流の差を検出する零相変流器21の等価回路及び1、2次巻線の構成を図2(a)、(b)に示す。零相変流器21は、図2(b)に示すように、円筒形状を有する磁芯100aを備える。零相変流器21は、この磁芯100aの孔に、ラインE1、E2を、2次巻線n21とともに貫通させることによって構成される。従って、ラインE1、E2は、1次巻線n11に対応し、1次巻線n11、2次巻線n21は、ともに巻数1となり、1次巻線n11と2次巻線n21との巻数比は1になる。

【0036】

磁芯100aには、1次及び2次巻線n11、n21がともに巻数1であっても、ラインE1、E2の電流差によって飽和しない程度の透磁率、断面積のものが用いられる。このように零相変流器21が構成されることによって、大電力用の電力変換装置にも、この零相変流器21の使用が可能となる。

【0037】

零相変流器21の2次巻線の端子P3、P4は、それぞれ、トランジスタQ11、Q12のエミッタおよびベースに接続される。

【0038】

零相変流器21の1次巻線n11には、図2(a)に示すように、ラインE1とE2とに流れる電流の差として1次電流 I_1 が流れ、2次巻線n21には、1次電流 I_1 に基づいて電流 I_2 が誘起される。図2(a)に示すように、2次巻線n21には、この誘起電流 I_2 が接地ラインへと流れる。

【0039】

次に、この漏れ電流を相殺する原理を図3に基づいて説明する。

尚、この図3において、コンデンサC51、C52は、それぞれ、負荷R0の静電容量、コモンモードノイズ用のコンデンサC3に相当するものである。また、ダイオードD51、スイッチSWは、それぞれ、図1の整流回路11、スイッチング素子Q1に相当するものである。また、漏れ電流 I_{s1} 、 I_{s2} は、それぞれ、スイッチSWのスイッチングにより交流電源5から流入する漏れ電流、電力変換装置内で伝播する漏れ電流を示す。

【0040】

本実施形態1に係る電力変換装置は、零相変流器21が検出した漏れ電流に対応する補償電流 I_r を、零相変流器21の検出点よりも交流電源5側の接地ラインに供給する。

【0041】

即ち、本実施形態1に係る電力変換装置は、零相変流器21の漏れ電流 I_{s2} の検出点をbとすると、その検出電流に基づいて供給する補償電流 I_r の注入点をaとする。

【0042】

このように構成された場合、次の関係式が成り立つようにする。

$$i_{s1} - A2 \times i_r = 0$$

但し、A2：増幅回路AMPの増幅率

従って、

$$i_r = A2 \times i_{s2}$$

【0043】

この式が示すように、漏れ電流 I_{s1} を補償電流 I_r で相殺するためには、増幅回路AMPの増幅率A2を1にすればよく、増幅率A2は低くてもよく、増幅回路の発振といった不都合は生じない。

【0044】

但し、増幅率が正確に1になるように増幅回路22を構成する必要がある。

増幅率が正確に1になるように、増幅回路22をオペアンプ等を用いて構成すると、増幅回路22の構成が複雑になる。本実施形態1では、図1に示すように、簡易な構成で増

幅率が1となるように増幅回路22が構成されている。

【0045】

増幅回路22は、零相変流器21の2次巻線n21で発生した誘起電流 I_2 を増幅するものであり、トランジスタQ11、Q12と、コンデンサC8と、からなる。

【0046】

トランジスタQ11は、NPN形バイポーラトランジスタであり、そのエミッタは、零相変流器21の2次巻線n21の一端に接続され、そのコレクタは、補助電源6の正極に接続されている。

【0047】

トランジスタQ12は、PNP形バイポーラトランジスタであり、そのエミッタは、トランジスタQ11のエミッタに接続され、コレクタは補助電源6の負極に接続されている。

【0048】

コンデンサC8は、補償電流を接地ラインに供給するためのものであり、トランジスタQ11、Q12のベースと接地ラインとの間に接続されている。

【0049】

補助電源6は、増幅回路22に定電圧を供給する直流電源回路であり、3次巻線n3と、ダイオードD5、D6と、インダクタL3と、コンデンサC11と、からなる。

【0050】

3次巻線n3は、トランスTに巻き回されている。

ダイオードD5、D6は、3次巻線n3に発生した電圧を整流するためのものであり、ダイオードD5のアノードは、3次巻線n3の一端に接続され、カソードは、インダクタL3の一端に接続されている。ダイオードD6のカソードは、ダイオードD5のカソードに接続され、アノードは、3次巻線n3の他端に接続されている。

【0051】

インダクタL3、コンデンサC11は、ダイオードD5、D6が整流した電圧を平滑化するものであり、インダクタL3の他端は、増幅回路22のトランジスタQ11のコレクタに接続されている。

【0052】

コンデンサC11の一端は、ダイオードD5のカソードに接続され、他端は、3次巻線n3の他端に接続されている。そして、3次巻線n3の他端は、増幅回路22のトランジスタQ12のコレクタに接続される。

【0053】

このように、補助電源6は、電力変換回路部3への影響を少なくするため、増幅回路22に供給する電力を、DCリンク電圧部以外の箇所から取り出すように構成されている。

【0054】

次に実施形態1に係る電力変換装置の動作を説明する。

スイッチング素子Q1には、図4(a)に示すような信号S1が供給される。

信号S1がハイレベルになると、スイッチング素子Q1はオンし、信号S1がローレベルになると、スイッチング素子Q1はオフする。時刻 $t_0 \sim t_1$ がスイッチング素子Q1のオン期間であり、時刻 $t_1 \sim t_2$ がスイッチング素子Q1のオフ期間である。

【0055】

スイッチング素子Q1のオン期間では、図4(b)に示すように、スイッチング素子Q1に印加される電圧 V_{q1} は、ほぼ零となり、スイッチング素子Q1には、図4(c)に示すような電流 I_{q1} が流れる。

【0056】

また、スイッチング素子Q1のオフ期間では、スイッチング素子Q1に印加される電圧 V_{q1} は、図4(b)に示すように、コンデンサC3の充電電圧よりも高くなり、スイッチング素子Q1に流れる電流 I_{q1} は、図4(c)に示すように、ほぼ零となる。

【0057】

スイッチング素子Q1がオン、オフすることにより、トランスTの1次巻線n1に流れる電流がスイッチングされ、トランスTの1次巻線n1に電圧が発生し、この電圧に従って、2次巻線n2に電圧が発生する。

【0058】

ダイオードD1は、スイッチング素子Q1のオン期間で2次巻線n2に発生した電圧に従って流れる電流を整流し、ダイオードD2は、スイッチング素子Q1のオフ期間に、チョークコイルL2に流れる電流をコンデンサC5の正極(+)側へ環流する。ダイオードD1、D2を流れる電流は、チョークコイルL2とコンデンサC5とによって平滑化され、直流電圧が生成され、電力変換回路部3は、生成した直流電圧を負荷R0に供給する。

【0059】

スイッチング素子Q1がスイッチングすることにより、電力変換装置の回路内の対地間のコンデンサC10を経由して接地ラインに、図4(d)に示すような漏れ電流Isが流れる。

零相変流器21は、漏れ電流Isを、ラインE1、E2間に生じる電流の差として検出する。

【0060】

次に、図5(a)に示すように、零相変流器21の1次巻線n11に1次電流(ラインE1、E2の電流)I1が流れると、図5(b)に示すように、2次巻線n21に誘起電流I2が流れる。1次巻線n11と2次巻線n21との巻数比は1であるので、2次巻線n21に流れる誘起電流の電流値は、1次電流の電流値と同じ値になる。

【0061】

正の半サイクルにおいては、この誘起電流I2が分流してトランジスタQ11のベース電流として流れる。誘起電流I2が流れることによってトランジスタQ11のエミッタの電位は上昇する。また、誘起電流I2がトランジスタQ11のベースに流れることによってトランジスタQ11のベースの電位も上昇する。トランジスタQ11の増幅率が1よりも充分大きく、増幅回路22の増幅率が1となるので、図5(c)に示すように、漏れ電流Isと同じ電流値の電流Iq11が生成される。

【0062】

負の半サイクルにおいては、トランジスタQ12の回路が、トランジスタQ11の回路と同様に動作し、図5(d)に示すように、同じく漏れ電流Isと同じ電流値の電流Iq12が生成される。このトランジスタQ11の回路とトランジスタQ12の回路と組み合わせることにより、図5(e)に示すような補償電流Irが生成される。

【0063】

そして、図4(e)に示すように、この補償電流Irを、漏れ電流Isとは逆向きにしてコンデンサC8を介して接地ラインに供給することにより、漏れ電流Isは、図4(f)に示すように小さくなる。これにより、コモンモードノイズを低減できる。

【0064】

以上説明したように、本実施形態1によれば、零相変流器21のコアの形状を、円筒形として、1対の1次巻線と2次巻線とをコアの穴に貫通させるようにした。従って、零相変流器21の構造が簡易となり、零相変流器21を小型化することができる。

【0065】

また、零相変流器21は、巻数1であるため、交流入力電力線をコアに巻き付ける必要もない。このため、大電力用の電力線のように、交流入力電力線の径が大きくなっても、交流入力電力線をコアの穴に通すことができ、大電流の電力変換装置にも、この零相変流器21を適用することができる。

【0066】

また、零相変流器21が電力変換装置内で伝播する漏れ電流を検出し、補償電流Irを、零相変流器21の検出点よりも交流電源5側の接地ラインに、漏れ電流を相殺する方向に供給するようにした。

【0067】

従って、増幅回路 22 の利得を小さくすることができ、ノイズ低減を安定して行える。また、利得 1 とすることにより、高周波特性は向上し、高周波領域までノイズを低減することができる。

【0068】

また、増幅回路 22 も簡易な回路で構成することができる。また、効率的に漏れ電流を低減することができるので、大きなノイズフィルタ部 1 を必要とせず、電力変換装置全体を小型化することができる。

【0069】

また、補助電源 6 が、DC リンク電圧部以外の箇所から電力を取り出して増幅回路 22 に供給するように構成されているため、電力変換回路部 3 への影響を低減することができる。

【0070】

尚、本実施形態 1 では、交流電源 5 を単相の電源として説明した。しかし、交流電源 5 は、単相でなくてもよく、三相の場合、磁芯 100a の孔に、3 本の電力線を 1 次巻線として貫通させる。

【0071】

また、磁芯 100a の形状は、円筒形に限られるものではない。また、図 6 に示すように、磁芯の形状を半円筒形の割コア 100c、100d を 2 個用い、割コア 100c、100d の端面を接触させることによって磁芯 100a を構成することもできる。

【0072】

次に、増幅回路 22 の構成も、上述した構成に限られるものではなく、図 7 に示すように、増幅回路 22 に、NPN 形のバイポーラトランジスタ Q13、Q14 を備え、零相変流器 21 の 2 次巻線を 2 つ設けて、それぞれ、トランジスタ Q13 と Q14 とに電流を供給するようにしてもよい。

【0073】

また、図 8 に示すように、増幅回路 22 に、PNP 形のバイポーラトランジスタ Q15 と、NPN 形のバイポーラトランジスタ Q16 と、を備え、零相変流器 21 の 2 次巻線を 2 つ設けて、トランジスタ Q15 と Q16 とに電流を供給するようにしてもよい。

【0074】

また、図 9 に示すように、増幅回路 22 に、PNP 形のバイポーラトランジスタ Q17、Q18 を備え、零相変流器 21 の 2 次巻線を 2 つ設けて、トランジスタ Q17 と Q18 とに電流を供給するようにしてもよい。

【0075】

また、図 10 に示すように、増幅回路 22 に、N 形 FET 11 と P 形 FET 12 とを備え、零相変流器 21 の 2 次巻線を 2 つ設けて、それぞれ、FET 11 と FET 12 とに電流を供給するようにしてもよい。

【0076】

また、図 11 に示すように、増幅回路 22 に、2 つの N 形 FET 13、14 を備え、零相変流器 21 の 2 次巻線を 2 つ設けて、FET 13、14 に電流を供給するようにしてもよい。

【0077】

また、図 12 に示すように、増幅回路 22 に、P 形 FET 15 と N 形 FET 16 とを備え、零相変流器 21 の 2 次巻線を 2 つ設けて、FET 15 と FET 16 とに電流を供給するようにしてもよい。

【0078】

また、図 13 に示すように、増幅回路 22 に、P 形 FET 17、18 を備え、零相変流器 21 の 2 次巻線を 2 つ設けて、FET 17、18 に電流を供給するようにしてもよい。

【0079】

また、上記実施形態では、図 14 に示すように、交流電源 5 から交流電流が流れる交流ラインに補償電流を供給するようにしている。しかし、図 15 に示すように、整流平滑回

路部 2 から出力された直流電流が流れる直流ラインに補償電流を供給することもできる。さらに、ノイズ低減回路部 4 を出力側に挿入することもできる。

【0080】

(実施形態 2)

実施形態 2 に係る電力変換装置は、零相変流器の検出比に誤差が生じた場合でも、利得を調整して、この誤差を低減できるように構成されたものである。

【0081】

実施形態 2 に係る電力変換装置の構成を図 16 に示す。

実施形態 2 に係る電力変換装置の増幅回路 22 は、トランジスタ Q21, Q22, Q23, Q24 と、コンデンサ C8, C9 と、からなる。

【0082】

トランジスタ Q21, Q23 は、NPN 形のバイポーラトランジスタである。トランジスタ Q21, Q23 のコレクタは、ともに補助電源 6 の正極 (+) に接続されている。

【0083】

トランジスタ Q22, Q24 は、PNP 形のバイポーラトランジスタである。トランジスタ Q22, Q24 のエミッタは、それぞれトランジスタ Q21, Q23 のエミッタに接続され、コレクタはともに補助電源 6 の負極 (-) に接続されている。

【0084】

図 17 に示すように、トランジスタ Q21, 22 は、主増幅器 22a を構成し、トランジスタ Q23, 24 は、補正増幅器 22b を構成する。主増幅器 22a は、電流増幅器として作用し、補正増幅器 22b は、電圧増幅器として作用する。

【0085】

図 16 に戻り、コンデンサ C8 は、補償電流を接地ラインに供給するためのものであり、トランジスタ Q21 ~ Q24 のベースと接地ラインとの間に接続されている。

【0086】

コンデンサ C9 は、増幅率を調整するためのものであり、トランジスタ Q23 のエミッタ及びトランジスタ Q24 のエミッタと、接地ラインと、の間に接続されている。

【0087】

次に実施形態 2 に係る電力変換装置の動作を説明する。

実施形態 1 と同様に、スイッチング素子 Q1 がオン、オフすることにより、トランス T の 2 次巻線 n2 に発生した電圧を、電力変換回路部 3 が整流、平滑化して、直流電圧を負荷 R0 に供給する

【0088】

零相変流器 21 の 1 次巻線 n11 に、1 次電流が流れると、2 次巻線 n12 には、1 次電流に基づいて誘起電流が誘起される。

【0089】

増幅回路 22 の動作原理は以下の通りである。

増幅回路 22 のコンデンサ C8, C9 を、それぞれ抵抗 R8, R9 とすると、抵抗 R8 には、電流値が電流 I_2 とほぼ等しい電流 I_{11} が流れる。また、抵抗 R9 には、抵抗 R8 に印加される電圧と等しい電圧が印加される。従って、抵抗 R9 に流れる電流 I_{12} の電流値は式 (1) によって表される。

$$i_{12} = i_2 \times r_8 / r_9 \quad \dots (1)$$

但し、 i_{12} : 抵抗 R9 に流れる電流 I_{12} の電流値

i_2 : 電流 I_2 の電流値

r_{11} : 抵抗 R8 の抵抗値

r_{12} : 抵抗 R9 の抵抗値

また、増幅回路 22 の利得は、以下の式 (2) によって表される。

$$A = (1 + r_8 / r_9) \quad \dots (2)$$

但し、A：増幅回路 22 の利得

【0090】

この式 (2) が示すように、増幅回路 22 の利得は、抵抗 R8 と R9 との抵抗値の比に基づいて設定され、この抵抗値比を替えれば、増幅回路 22 の利得が変わる。

【0091】

例えば、零相変流器 21 の検出比に誤差が生じた場合、抵抗 R8, R9 の抵抗値比を替えて、増幅回路 22 の利得を調整することにより、零相変流器 21 と増幅回路 22 との総合利得を 1 にすることができる。

【0092】

以上説明したように、本実施形態 2 によれば、増幅回路 22 の主増幅器 22a と並列に補正増幅器 22b を設けるようにしたので、簡単な回路で容易に増幅回路 22 の利得を調整することができ、零相変流器 21 の検出比に誤差が生じた場合でも、増幅回路 22 の利得を調整することにより、零相変流器 21 と増幅回路 22 との総合利得を 1 にすることができる。

【0093】

尚、主増幅器と補正増幅器とを兼用することもできる。

その回路構成を図 18 に示す。この増幅回路 22 では、トランジスタ Q21, Q22 が補正増幅器 22b を兼用する。

【0094】

図 18 に示す増幅回路 22 では、トランジスタ Q21, Q22 のエミッタ電位は、ベース電圧とほぼ等しくなる。また、トランジスタ Q21, Q22 のエミッタから電流を流してもベース側負荷には影響しないことになる。この点に着目すると、主増幅器 22a が補正増幅器 22b を兼用することが可能となる。

このように、主増幅器 22a が補正増幅器 22b を兼用することにより、新たな増幅器を備えずに増幅回路 22 の利得を調整することができる。

【0095】

また、図 19, 図 20 に示すように、バイポーラトランジスタ Q21, Q22, Q23, Q24 の代わりに、それぞれ、電界効果トランジスタ FET21, FET22, FET23, FET24 を用いることができる。

電界効果トランジスタを用いた場合、ゲート電流がほぼ零となることから、より高性能の増幅回路を構成することができる。

【0096】

(実施形態 3)

実施形態 3 に係る電力変換装置は、零相変流器の 2 次巻線に電圧が誘起しなくても、漏れ電流を検出できるように構成されたものである。

実施形態 3 に係る電力変換装置の構成を図 21 に示す。

実施形態 3 に係る電力変換装置の増幅回路 22 は、零相変流器 21 の 2 次巻線 n21 で発生した誘起電流を増幅するものであり、トランジスタ Q31, Q32 と、ダイオード D7, D8 と、コンデンサ C8, C21, C22 と、抵抗 R2, R3 と、からなる。本実施形態では、補償電流の電流値を漏れ電流の電流値と等しくするため、この増幅回路 22 は、増幅率が 1 となるように構成されている。

【0097】

NPN 形バイポーラトランジスタであるトランジスタ Q31 のエミッタは、零相変流器 21 の 2 次巻線の一端に接続され、そのコレクタは、補助電源 6 の正極に接続されている。

【0098】

PNP 形バイポーラトランジスタであるトランジスタ Q32 のエミッタは、トランジスタ Q31 のエミッタに接続され、コレクタは補助電源 6 の負極に接続されている。

【0099】

ダイオード D7, D8 は、それぞれ、トランジスタ Q31, Q32 のエミッターベース

間に、エミッターベース間電圧に相当する電圧を発生させるためのダイオードであり、ダイオードD7のアノードは、トランジスタQ31のベースに接続され、カソードは、零相変流器21の2次巻線の他端に接続されている。またダイオードD8のカソードは、トランジスタQ32のベースに接続され、アノードは零相変流器21の2次巻線の他端に接続されている。

【0100】

抵抗R2, R3は、電流を制限するための抵抗であり、抵抗R2は、ダイオードD7のアノードと補助電源6の正極との間に接続され、抵抗R3は、ダイオードD8のカソードと補助電源6の負極との間に接続されている。

尚、増幅回路22の中性点を増幅回路22に印加される電圧の1/2に設定するため、抵抗R2, R3の抵抗値は等しくなるように設定される。

【0101】

コンデンサC21, C22は、ノイズ成分を平滑化して、ノイズ成分の影響を抑制するためのコンデンサであり、それぞれ、ダイオードD7, D8と並列に接続されている。コンデンサC8は、補償電流を接地ラインに供給するためのコンデンサであり、ダイオードD7のカソードとダイオードD8のアノードとの接続点と、接地ラインと、の間に接続されている。

【0102】

次に実施形態3に係る電力変換装置の動作を説明する。

零相変流器21の1次巻線n11に、1次電流が流れると、2次巻線n21には、図2に示すように、1次電流に基づいて電流iが誘起される。2次巻線n21の巻き方向は、この誘起電流iが漏れ電流を相殺する方向に、接地ラインに流れるように設定される。

【0103】

補助電源6から供給された電圧により、電流iは、補助電源6の正極から、抵抗R2, ダイオードD7、D8、抵抗R3を通り、補助電源6の負極へと流れる。

【0104】

尚、ダイオードD7, D8に、それぞれ並列に接続されているコンデンサC21, C22が、周波数が高いノイズ成分のレベルを下げるため、電流を、損失なくトランジスタQ31, Q32のベースに供給することができる。

【0105】

電流が流れることにより、ダイオードD7, D8には、トランジスタQ31のベース－エミッタ間電圧に相当する電圧降下が発生する。

この電圧は、トランジスタQ31のベース－エミッタ間に正方向に印加される。

また、零相変流器21の出力電圧Vctは、以下の式(3)によって表される。

$$V_{ct} = V_{be} - V_d$$

・・・(3)

但し、Vbe：トランジスタQ31のベース－エミッタ間電圧

Vd：ダイオードD7の順方向電圧

この式(3)が示すように、電圧Vbeと電圧Vdは等しくなるため、2次巻線n21に出力電圧Vctを誘起させる必要がなくなり、電流のみが流れるようにすればよい。

【0106】

これにより、零相変流器21の1次巻線n11、2次巻線n21の巻数が低減され、また、磁芯100aのコア面積も低減される。

また、ダイオードD7と並列に接続されたコンデンサC21により、ノイズ成分の周波数が高くて、トランジスタQ31のベースに損失なく、ベース電流が供給される。

【0107】

また、抵抗R2, R3の抵抗値が等しくなるように設定されているため、増幅回路22の中性点は増幅回路22に印加される電圧の1/2になり、トランジスタQ31、Q32の中性点電圧も安定する。また、制御範囲も拡大する。

【0108】

以上説明したように、本実施形態 3 によれば、トランジスタ Q 3 1, Q 3 2 のエミッターベース間電圧に相当する電圧をダイオード D 7, D 8 等で生成し、生成した電圧を、トランジスタ Q 3 1, Q 3 2 のエミッターベース間電圧を打ち消す方向に加えるようにした。

【0109】

従って、零相変流器 2 1 の 2 次巻線 n 2 1 に電圧を誘起させなくても、電流のみを流せばよいことになり、1 次巻線 n 1 1、2 次巻線 n 2 1 の巻数を減らすことができる。また、磁芯 1 0 0 a のコア面積を低減することもでき、その結果、零相変流器 2 1 を小型化することができる。

【0110】

また、抵抗 R 2, R 3 により、増幅回路 2 2 の中性点を、増幅回路 2 2 に印加される電圧の $1/2$ に設定することができる。このため、トランジスタ Q 3 1、Q 3 2 の中性点電圧も安定し、制御も安定し、制御範囲も拡大する。

【0111】

尚、増幅回路 2 2 の利得を補正するように、増幅回路が構成されることもできる。その構成を図 2 3 に示す。

図 2 3 に示す増幅回路 2 2 において、トランジスタ Q 3 1 のエミッタとトランジスタ Q 3 2 のエミッタとの接続点にコンデンサ C 2 3 が接続されている。

このコンデンサ C 2 3 は、増幅回路 2 2 の利得を補正するためのものである。

【0112】

増幅回路 2 2 は、零相変流器 2 1 の 1 次巻線 n 1 1 に流れる電流を増幅する。増幅した電流は、コンデンサ C 8 とコンデンサ C 2 3 とのインピーダンスの比に応じた比率でコンデンサ C 8 とコンデンサ C 2 3 とからそれぞれ出力される。

【0113】

コンデンサ C 8, C 2 3 のインピーダンスを、それぞれ、 r_1 , r_2 とすると、増幅回路 2 2 の利得は、 $(1 + r_1/r_2)$ となる。従って、このコンデンサ C 8, C 2 3 のインピーダンスの比を調整することにより、増幅率を容易に調整することができ、零相変流器 2 1 を含めた全増幅率を正確に 1 にすることが可能となる。

【0114】

また、零相変流器 2 1 に 2 つの 2 次巻線を設けることもできる。その構成を図 2 4 に示す。

図 2 4 に示すように、零相変流器 2 1 に 2 次巻線 n 2 2 を設け、増幅回路 2 2 に、PNP 形バイポーラトランジスタ Q 3 3 と NPN 形バイポーラトランジスタ Q 3 4 とを備える。

【0115】

零相変流器 2 1 の 2 次巻線 n 2 1 の一端、2 次巻線 n 2 2 の一端は、補助電源 6 の正極、負極に、それぞれ接続される。増幅回路 2 2 では、トランジスタ Q 3 3 のエミッタが 2 次巻線 n 2 1 の他端に接続され、トランジスタ Q 3 4 のエミッタが、2 次巻線 n 2 2 の他端に接続され、トランジスタ Q 3 3 のコレクタとトランジスタ Q 3 4 のコレクタとが接続される。

【0116】

ダイオード D 7 のカソードはトランジスタ Q 3 3 のベースに接続され、アノードは補助電源 6 の正極に接続される。抵抗 R 2 は、ダイオード D 7 のカソード及びトランジスタ Q 3 3 のベースと、トランジスタ Q 3 3 のコレクタと、の間に接続される。コンデンサ C 2 1 はダイオード D 7 と並列に接続される。

【0117】

また、ダイオード D 8 のアノードは、トランジスタ Q 3 4 のベースに接続され、カソードは、2 次巻線 n 2 2 の一端と補助電源 6 の負極に接続される。抵抗 R 3 は、トランジスタ Q 3 4 のコレクタと、トランジスタ Q 3 4 のベース及びダイオード D 8 のアノードと、の間に接続される。コンデンサ C 2 2 は、ダイオード D 8 と並列に接続される。コンデン

サ C 8 は、トランジスタ Q 3 3 のコレクタとトランジスタ Q 3 4 のコレクタとの接続点に接続される。

【0118】

増幅回路 2 2 がこのように構成されることにより、零相変流器 2 1 の 2 次巻線 n 2 1、n 2 2 が固定電位となるため、零相変流器 2 1 とトランジスタ Q 3 3、Q 3 4 との間の配線が長くなってもストレー容量の影響を軽減することができる。

【0119】

また、2つの NPN 形バイポーラトランジスタを組み合わせることで増幅回路 2 2 を構成することもできる。

その構成を図 2 5 に示す。

図 2 5 に示す増幅回路 2 2 は、NPN 形バイポーラトランジスタ Q 3 5、Q 3 6 を備える。

【0120】

補助電源 6 の正極、負極には、それぞれ、トランジスタ Q 3 5 のコレクタ、2 次巻線 n 2 2 の一端が接続されている。トランジスタ Q 3 5 のエミッタは零相変流器 2 1 の 2 次巻線 n 2 1 の一端に接続され、トランジスタ Q 3 6 のコレクタは、零相変流器 2 1 の 2 次巻線 n 2 1 の他端に接続され、エミッタは、零相変流器 2 1 の 2 次巻線 n 2 2 の他端に接続される。

【0121】

ダイオード D 7 のアノードはトランジスタ Q 3 5 のベースに接続され、カソードは 2 次巻線 n 2 1 の他端に接続されている。抵抗 R 2 は、補助電源 6 の正極及びトランジスタ Q 3 5 のコレクタと、ダイオード D 7 のアノード及びトランジスタ Q 3 5 のベースと、の間に接続されている。コンデンサ C 2 1 は、ダイオード D 7 の両端に並列に接続される。

【0122】

ダイオード D 8 のアノードはトランジスタ Q 3 6 のベースに接続され、カソードは、補助電源 6 の負極と 2 次巻線 n 2 2 の一端とに接続される。抵抗 R 3 は、2 次巻線 n 2 1 の他端及びトランジスタ Q 3 6 のコレクタと、ダイオード D 8 のアノード及びトランジスタ Q 3 6 のベースと、の間に接続される。コンデンサ C 2 2 は、ダイオード D 8 の両端に並列に接続される。コンデンサ C 8 はトランジスタ Q 3 6 のコレクタに接続される。

増幅回路 2 2 がこのように構成されることにより、同一の NPN 形バイポーラトランジスタを使用することができる。

【0123】

また、図 2 5 に示す構成に、さらに FET (電界効果トランジスタ) を備えることにより、耐圧の高い増幅器を構成できる。

その構成を図 2 6 に示す。

図 2 6 に示す増幅回路 2 2 は、電界効果トランジスタとしての FET 3 1、FET 3 2 を備える。この FET 3 1、FET 3 2 には、高耐圧のものを使用する。FET 3 1 の一端は、補助電源 6 の正極に接続され、他端は、トランジスタ Q 3 5 のコレクタに接続される。

【0124】

補助電源 6 の正極と、トランジスタ Q 3 5 のベース及びダイオード D 7 のアノードと、の間には、抵抗 R 1 1 と R 1 2 とが直列に接続され、FET 3 1 のゲートは、その接続点に接続される。

【0125】

FET 3 2 の一端は、2 次巻線 n 2 1 の他端に接続され、他端は、トランジスタ Q 3 6 のコレクタに接続されている。2 次巻線 n 2 1 の他端と、トランジスタ Q 3 6 のベース及びダイオード D 8 のアノードと、の間には、抵抗 R 2 1 と R 2 2 とが直列に接続され、FET 3 2 のゲートは、その接続点に接続される。

【0126】

増幅回路 2 2 がこのように構成されることにより、トランジスタ Q 3 5、Q 3 6 に印加

される電圧を高耐圧のFET31, FET32でカバーすることができ、トランジスタQ35, Q36が保護される。従って、トランジスタQ35, Q36に、増幅率が高い低耐圧のものを使用することができる。この場合、FET31, FET32のゲート電流は非常に少ないため、増幅率をほぼ1にすることができ、高電圧での使用を可能とする。

【0127】

また、PNP形バイポーラトランジスタを対にして増幅回路22を構成することもできる。その構成を図27に示す。

【0128】

図27に示す増幅回路22は、2つのPNP形バイポーラトランジスタQ37, Q38を備える。

【0129】

補助電源6の正極、負極には、それぞれ、零相変流器21の2次巻線n21の一端、トランジスタQ38のコレクタが接続される。

トランジスタQ37のエミッタは、2次巻線n21の他端に接続され、コレクタは、2次巻線n22の一端に接続される。ダイオードD9のカソードは、トランジスタQ37のベースに接続され、アノードは、補助電源6の正極及び2次巻線n21の一端に接続される。抵抗R2は、ダイオードD9のカソード及びトランジスタQ37のベースと、2次巻線n22の一端及びトランジスタQ37のコレクタと、の間に接続される。コンデンサC21はダイオードD9の両端に並列に接続される。

【0130】

トランジスタQ38のエミッタは、2次巻線n22の他端に接続される。ダイオードD10のカソードは、トランジスタQ38のベースに接続され、アノードは、2次巻線n22の一端に接続される。抵抗R3は、ダイオードD10のカソード及びトランジスタQ38のベースと、トランジスタQ38のコレクタと、の間に接続される。コンデンサC22は、ダイオードD10の両端に並列に接続される。

【0131】

尚、コンデンサC8の一端は、トランジスタQ37のコレクタと零相変流器21の2次巻線n22の一端とに接続される。

【0132】

また、図21, 22の回路構成を変形し、トランジスタのばらつきによる中性点変位を少なくすることもできる。

その回路構成を図28に示す。

図28に示す増幅回路22は、トランジスタQ31, Q32と、ダイオードD7, D8と、抵抗R2, R3と、コンデンサC21, C22, C8と、を備えている。

【0133】

トランジスタQ31のコレクタとベースとの間には、抵抗R2が接続され、トランジスタQ32のコレクタとベースとの間には、抵抗R3が接続される。

トランジスタQ31のエミッタとトランジスタQ32のエミッタとは接続され、その接続点は零相変流器21の2次巻線n21の一端に接続される。

【0134】

トランジスタQ31のベースと零相変流器21の他端との間には、コンデンサC21が接続され、トランジスタQ32のベースと零相変流器21の他端との間にコンデンサC22が接続される。

【0135】

ダイオードD8のカソードはトランジスタQ32のベースに接続され、ダイオードD7のカソードは、ダイオードD8のアノードに接続され、ダイオードD7のアノードはトランジスタQ31のベースに接続される。

【0136】

コンデンサC8は零相変流器21の2次巻線n21の他端に接続される。増幅回路22は、零相変流器21の1次巻線n11に流れる電流を増幅して、増幅した電流を、零相変

流器 21 の 2 次巻線 n 21 の他端からコンデンサ C 8 を介して出力する。

【0137】

このようにダイオード D 7, D 8 がトランジスタ Q 31 のベースとトランジスタ Q 32 のベースとの間に直列接続されることにより、トランジスタ Q 31, Q 32 のばらつきによる中性点変位を少なくすることができる。

また、トランジスタ Q 31, Q 32 のベース－エミッタ間電圧は、直列に接続されたダイオード D 7, D 8 により補正される。

【0138】

即ち、トランジスタ Q 31, Q 32 の 2 つのエミッターベース間電圧は、以下のようになる。

$$V_{eb1} + V_{eb2} = 2 V_d$$

但し、 V_{eb1} : トランジスタ Q 31 のエミッターベース間電圧

V_{eb2} : トランジスタ Q 32 のエミッターベース間電圧

従って、 $V_{eb} = V_d$ とするよりも条件を緩和することができる。通常、NPN トランジスタと PNP トランジスタとでは、エミッターベース間電圧が僅かに異なるものの、増幅回路 22 がこのように構成されることにより、エミッターベース間電圧の相違を無視することができる。

【0139】

この増幅回路 22 に、利得を補正するためのコンデンサを備えることもできる。

その構成を図 29 に示す。

増幅回路 22 は、図 29 に示す構成に加え、トランジスタ Q 31 のエミッタとトランジスタ Q 32 のエミッタとの接続点にコンデンサ C 23 が接続される。

図 23 に示す増幅回路 22 と同様に、このコンデンサ C 8, C 23 のインピーダンスの比を調整することにより、増幅率を容易に調整することができ、零相変流器 21 を含めた全増幅率を正確に 1 にすることが可能となる。

【0140】

また、電力変換回路部 3 が、図 30 に示すようなモータ制御用インバータによって構成されている場合にも、上記実施形態 1 ～ 3 を適用することができる。

ノイズフィルタ部 1 は、実施形態 1 と同様に、コンデンサ C 61 ～ C 63 と、チョークコイル L 61 と、を備える。

【0141】

整流平滑回路部 2 は、実施形態 1 と同様のものであり、ダイオード D 61 ～ D 64 と、コンデンサ C 64 と、を備える。

【0142】

電力変換回路部 3 は、電界効果トランジスタである Q 61 ～ Q 66 を備え、三相モータ 7 に電力を供給する。増幅回路 22 は、実施形態 1 と同様のトランジスタ Q 67, Q 68 とを備え、さらに、コンデンサ C 65 を備える。

【0143】

また、この電力変換装置は、制御回路 8 と、制御回路用電源 9 と、を備える。制御回路 8 は、電力変換回路部 3 の各トランジスタ Q 61 ～ Q 66 に制御信号を供給する回路である。

【0144】

制御回路用電源 9 は、制御回路 8 を動作させるための電源である。このように、この電力変換装置は、DC リンク電圧源（整流平滑回路部 2 の直流出力電圧）以外から、増幅回路 22 に供給する電力を取り出すように制御回路用電源 9 を備える。この場合、制御回路用電源 9 への電力供給も、DC リンク電圧源以外から行われるように構成される。

【0145】

次に、増幅回路 22 のトランジスタとダイオードとの温度が同一になるように、ダイオードとトランジスタとを近傍に配置することもできる。このようにすれば、トランジスタの温度変化により、ベース－エミッタ間電圧が変動しても、ダイオードも同じように変動

するため、動作が安定する。

【0146】

さらに、トランジスタとダイオードとを同一チップ内に構築することもでき、このようにすることにより、トランジスタの温度とダイオードの温度とを完全に一致させることができる。

【0147】

また、上記実施形態では、トランジスタを単体の素子として説明した。しかし、トランジスタの代わりに、例えば、ダーリントン接続されたトランジスタ回路を用いることもできる。この場合、トランジスタ回路を構成するトランジスタの数に応じた数のダイオードを、ベースと2次巻線との間に接続する。

【図面の簡単な説明】

【0148】

【図1】 本発明の実施形態1に係る電力変換装置の構成を示す回路図である。

【図2】 図1の零相変流器の構成を示す図であり、(a)は図1の零相変流器を示す回路図であり、(b)は貫通形変流器の斜視図である。

【図3】 図1の漏れ電流を相殺する原理を示す説明図である。

【図4】 図1の電力変換装置の動作を示すタイミングチャートである。

【図5】 ノイズ低減回路部の動作を示すタイミングチャートである。

【図6】 零相変流器の別の構成を示す図である。

【図7】 零相変流器の2次巻線を2つ設けた増幅回路の応用例(1)を示す回路図である。

【図8】 零相変流器の2次巻線を2つ設けた増幅回路の応用例(2)を示す回路図である。

【図9】 零相変流器の2次巻線を2つ設けた増幅回路の応用例(3)を示す回路図である。

【図10】 増幅回路のトランジスタの代わりにFETを用いた場合の応用例(1)を示す回路図である。

【図11】 増幅回路のトランジスタの代わりにFETを用いた場合の応用例(2)を示す回路図である。

【図12】 増幅回路のトランジスタの代わりにFETを用いた場合の応用例(3)を示す回路図である。

【図13】 増幅回路のトランジスタの代わりにFETを用いた場合の応用例(4)を示す回路図である。

【図14】 交流電源からの交流ラインに補償電流を供給するようにした回路構成を示すブロック図である。

【図15】 直流ラインに補償電流を供給するようにした回路構成を示すブロック図である。

【図16】 本発明の実施形態2に係る電力変換装置の増幅回路の構成を示す回路図である。

【図17】 図16の増幅回路の詳細な構成を示す回路図である。

【図18】 本発明の実施形態2に係る電力変換装置の応用例(1)として、主増幅器が補正増幅器を兼用するように構成された増幅器の構成を示す回路図である。

【図19】 本発明の実施形態2に係る電力変換装置の応用例(2)として、バイポーラトランジスタの代わりに電界効果トランジスタを用いた増幅回路を示す回路図である。

【図20】 本発明の実施形態2に係る電力変換装置の応用例(3)として、バイポーラトランジスタの代わりに電界効果トランジスタを用いた増幅回路を示す回路図である。

【図21】 本発明の実施形態3に係る電力変換装置の増幅回路の構成を示す回路図である。

【図 2 2】本発明の実施形態 3 に係る電力変換装置の増幅回路の詳細な構成を示す回路図である。

【図 2 3】本発明の実施形態 3 に係る電力変換装置の応用例 (1) として、利得を補正するようにした増幅回路の構成を示す回路図である。

【図 2 4】本発明の実施形態 3 に係る電力変換装置の応用例 (2) として、PNP 形バイポーラトランジスタと NPN 形バイポーラトランジスタとを備えた増幅回路の構成を示す回路図である。

【図 2 5】本発明の実施形態 3 に係る電力変換装置の応用例 (3) として、2 つの NPN 形バイポーラトランジスタを備えた増幅回路の構成を示す回路図である。

【図 2 6】本発明の実施形態 3 に係る電力変換装置の応用例 (4) として、図 2 5 に示す構成に、さらに電界効果トランジスタを備えた増幅回路の構成を示す回路図である。

【図 2 7】本発明の実施形態 3 に係る電力変換装置の応用例 (5) として、PNP 形バイポーラトランジスタを対にして構成された増幅回路の構成を示す回路図である。

【図 2 8】本発明の実施形態 3 に係る電力変換装置の応用例 (6) として、図 2 1, 2 2 の回路構成を変形し、トランジスタのばらつきによる中性点変位を少なくするようにした増幅回路の構成を示す回路図である。

【図 2 9】本発明の実施形態 3 に係る電力変換装置の応用例 (7) として、利得を補正するようにした増幅回路の構成を示す回路図である。

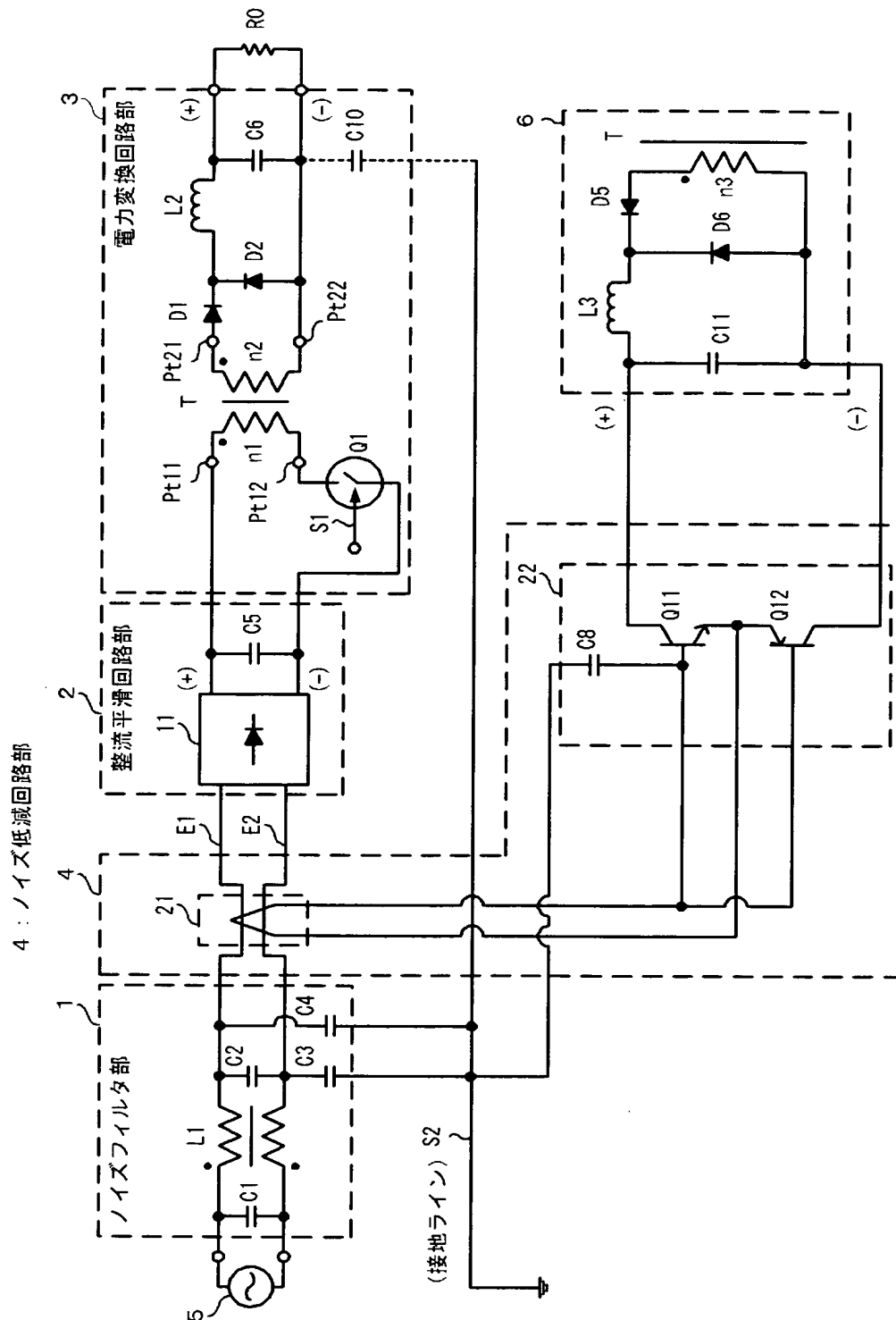
【図 3 0】負荷が三相モータである場合の電力変換装置の構成を示す回路図である。

【符号の説明】

【 0 1 4 9 】

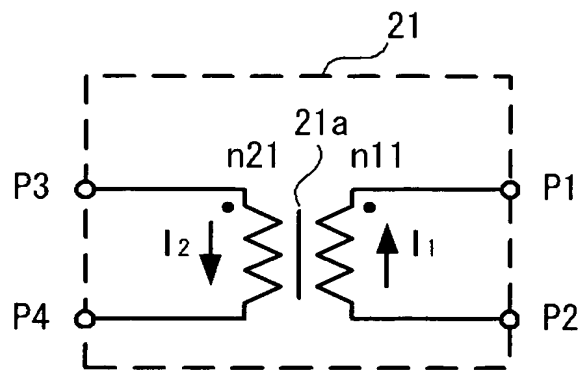
- 1 ノイズフィルタ部
- 3 電力変換回路部
- 4 ノイズ低減回路部
- 2 1 零相変流器
- 2 2 増幅回路

【書類名】 図面
【図 1】

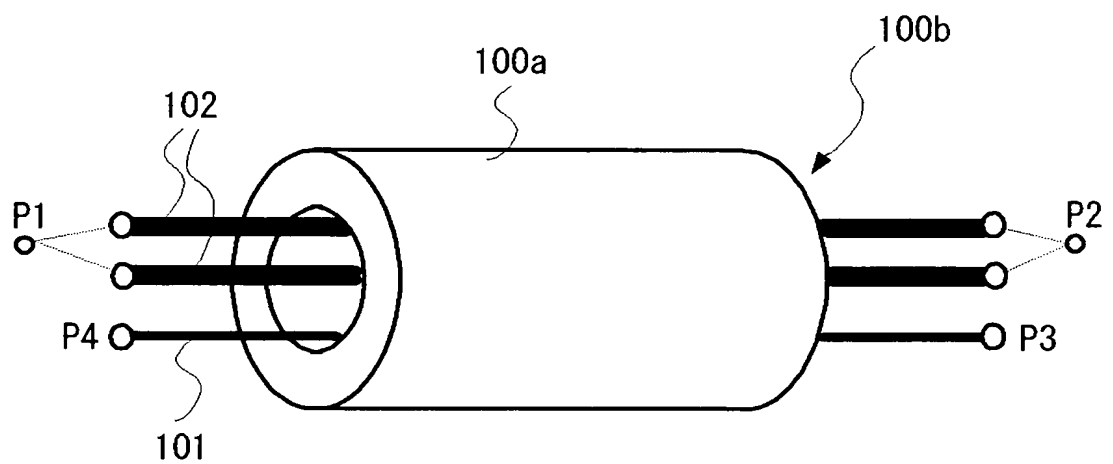


【図 2】

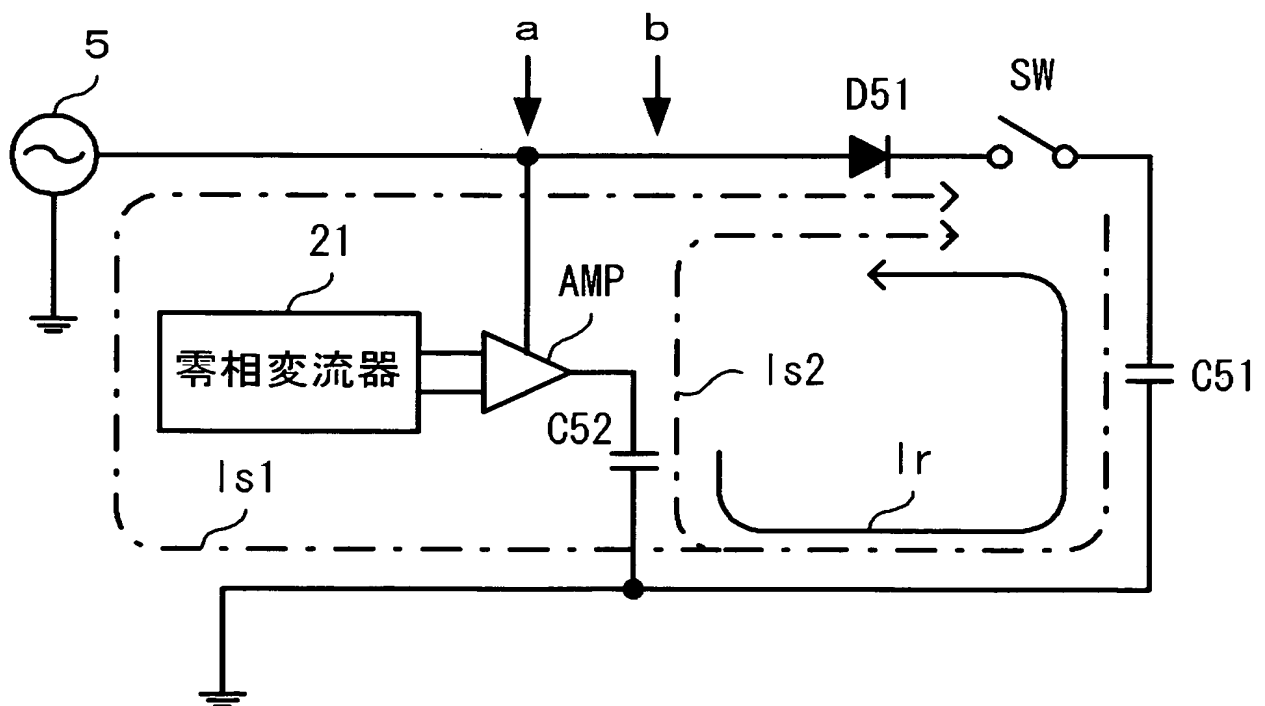
(a)



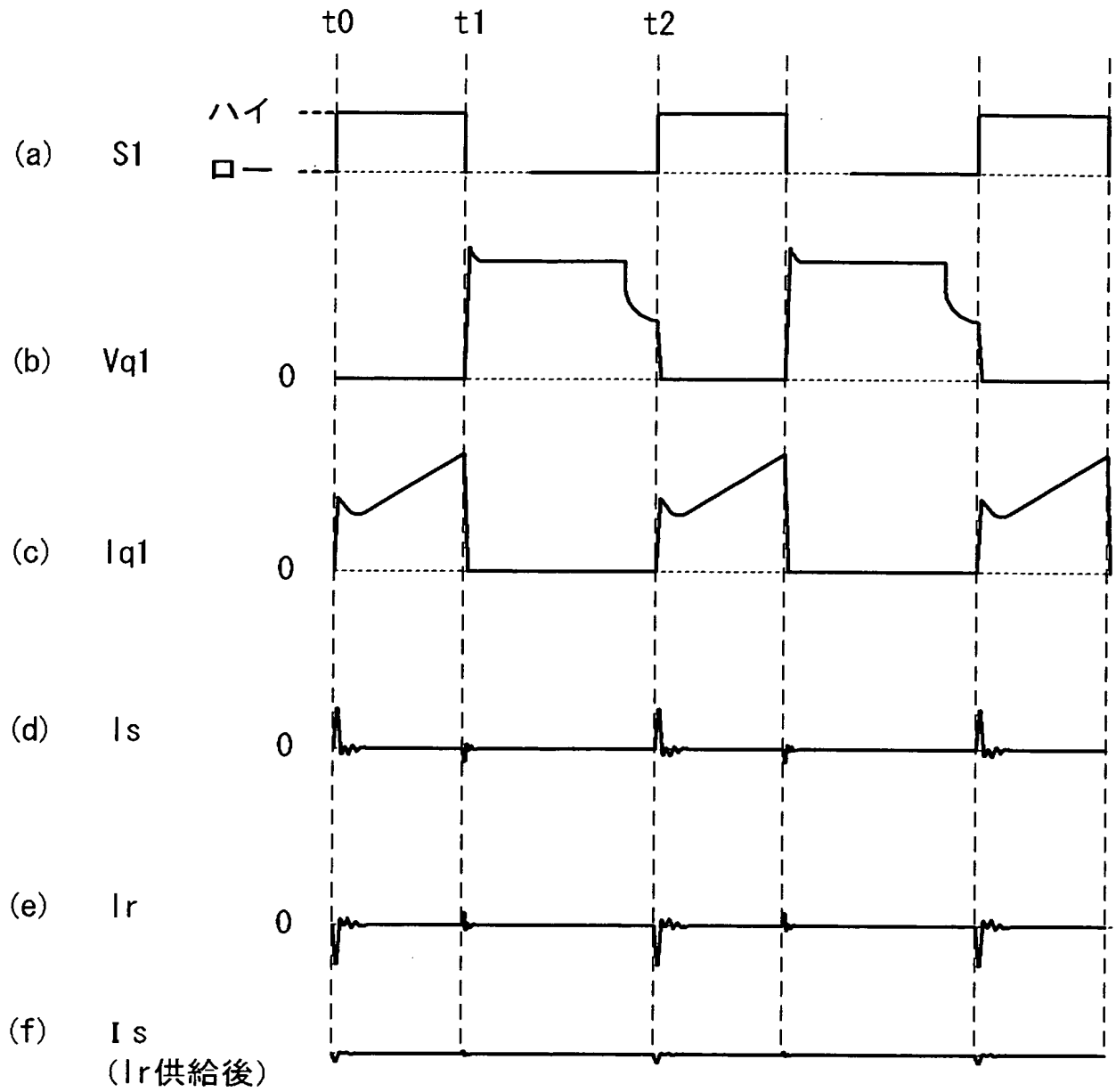
(b)



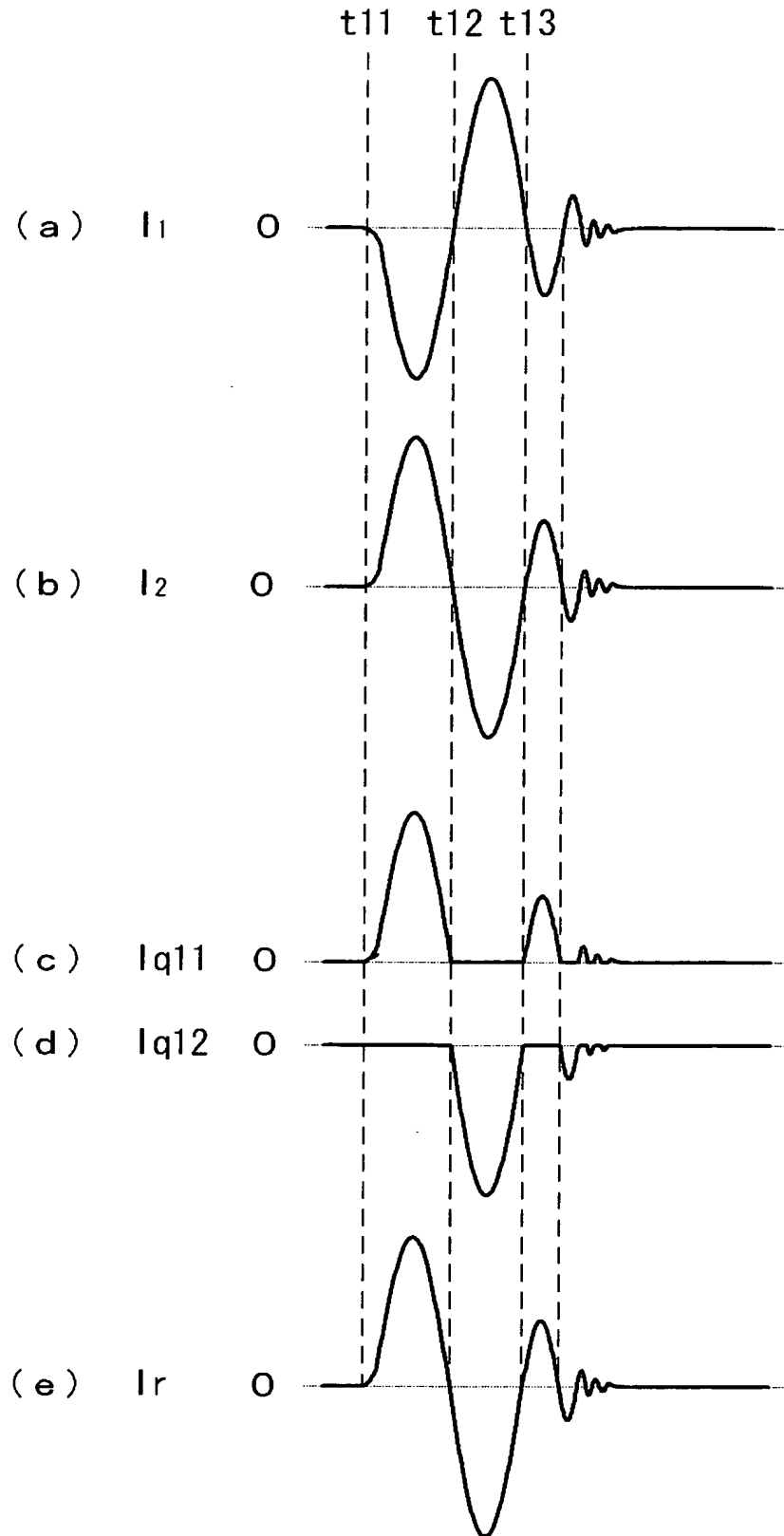
【図 3】



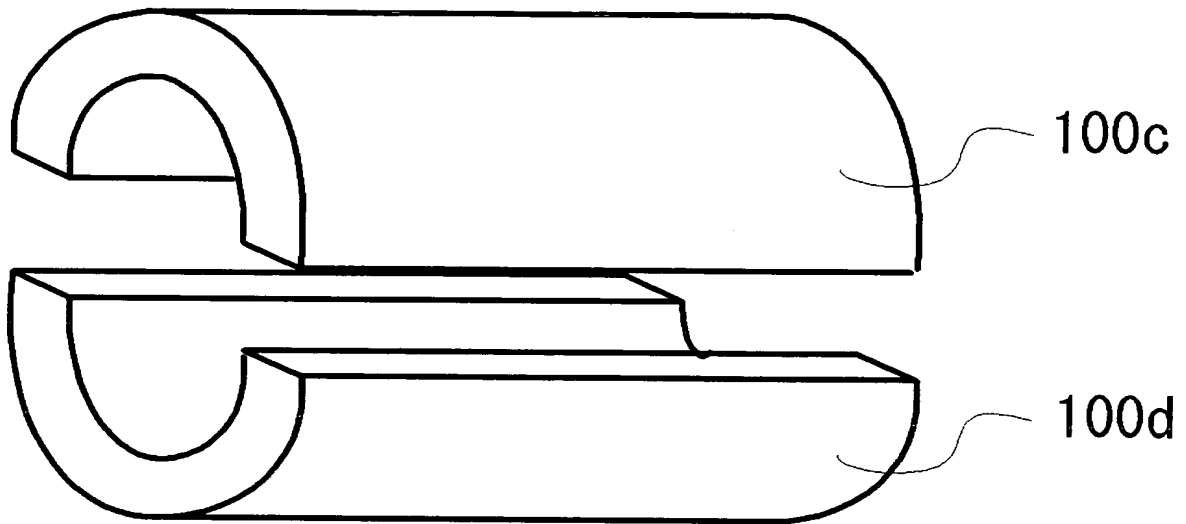
【図 4】



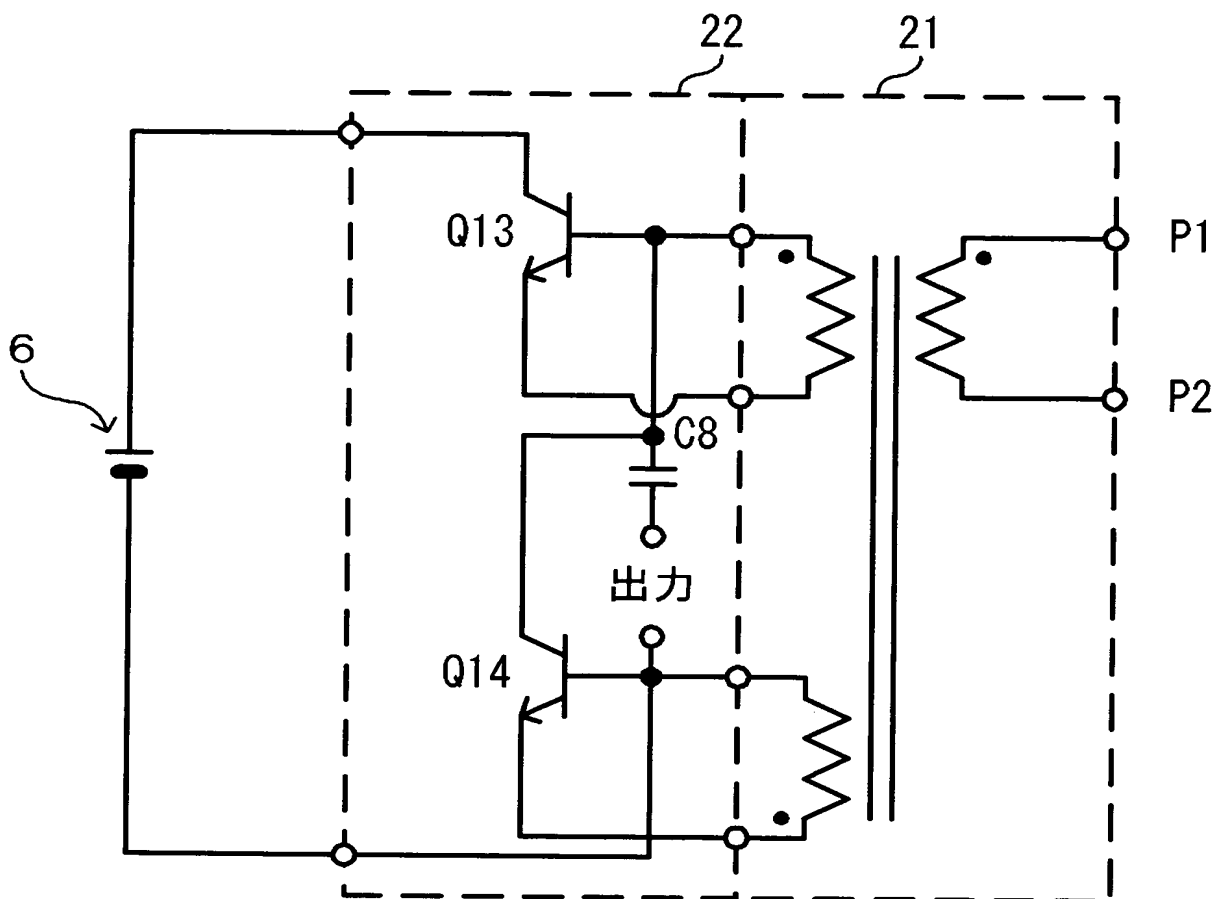
【図 5】



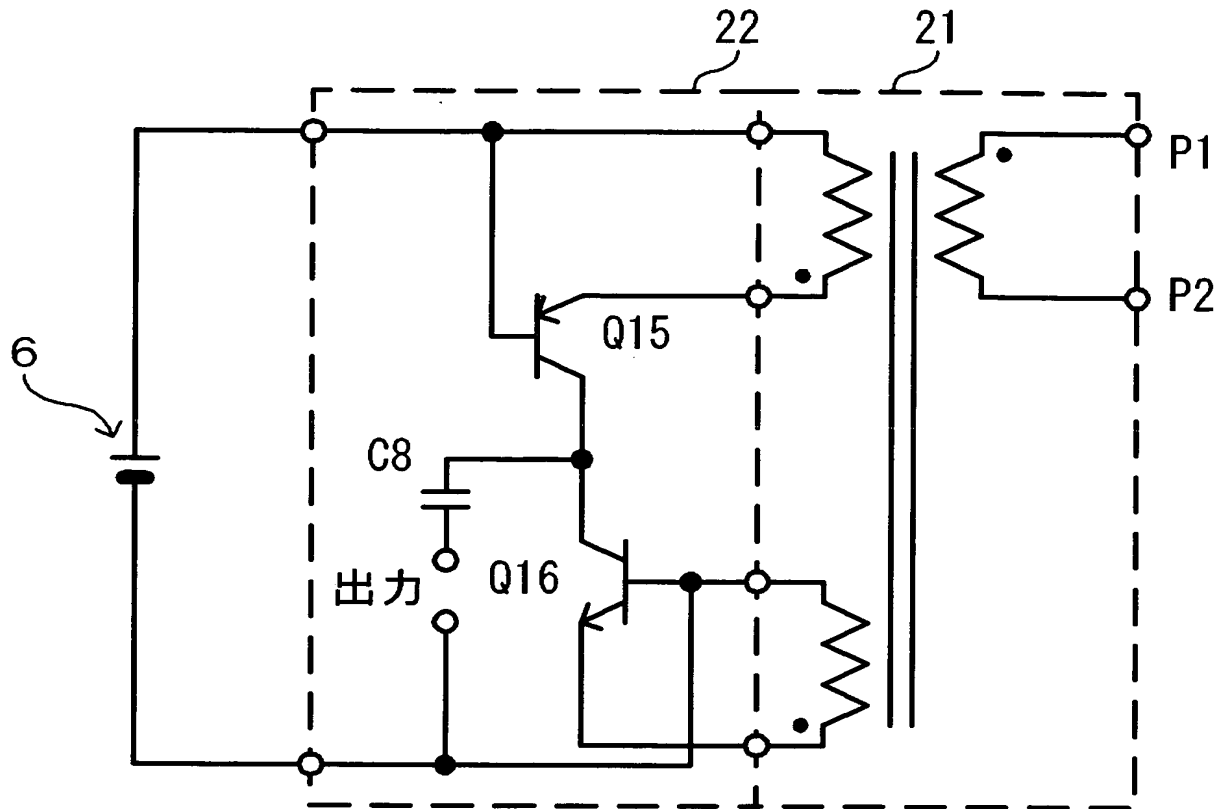
【図 6】



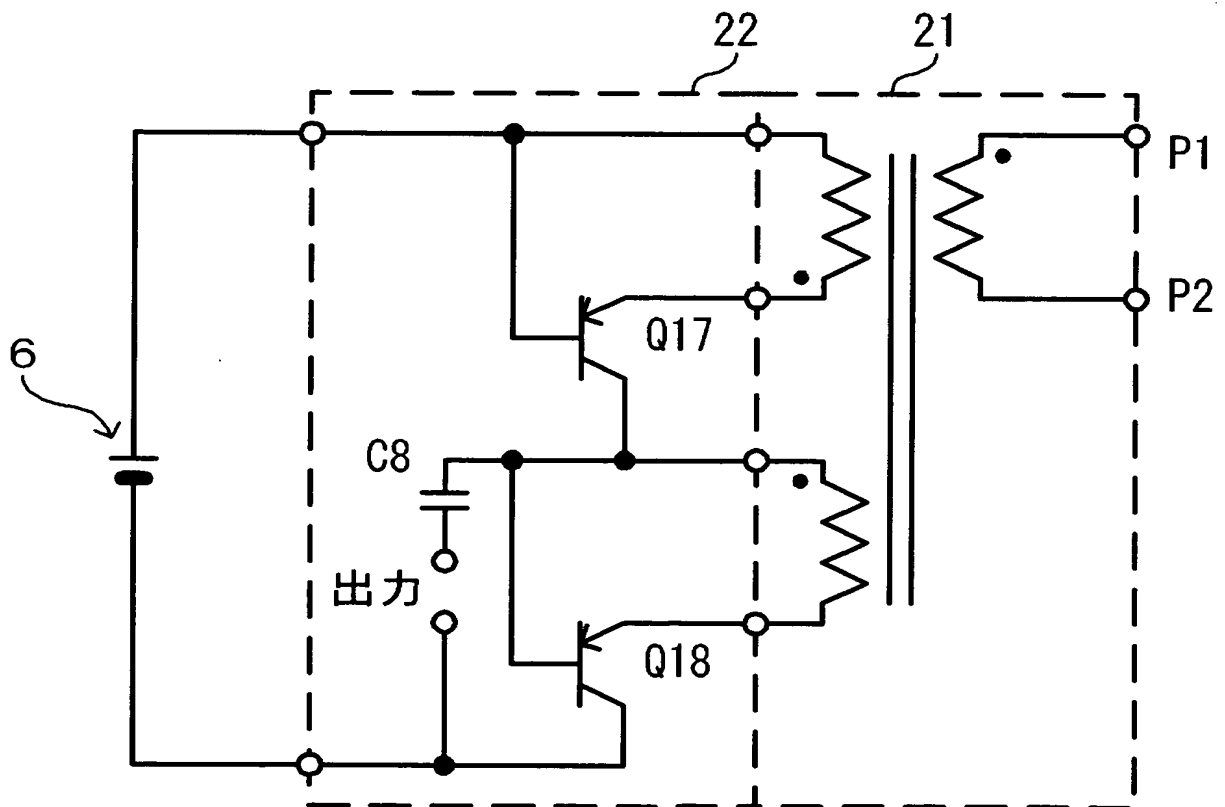
【図 7】



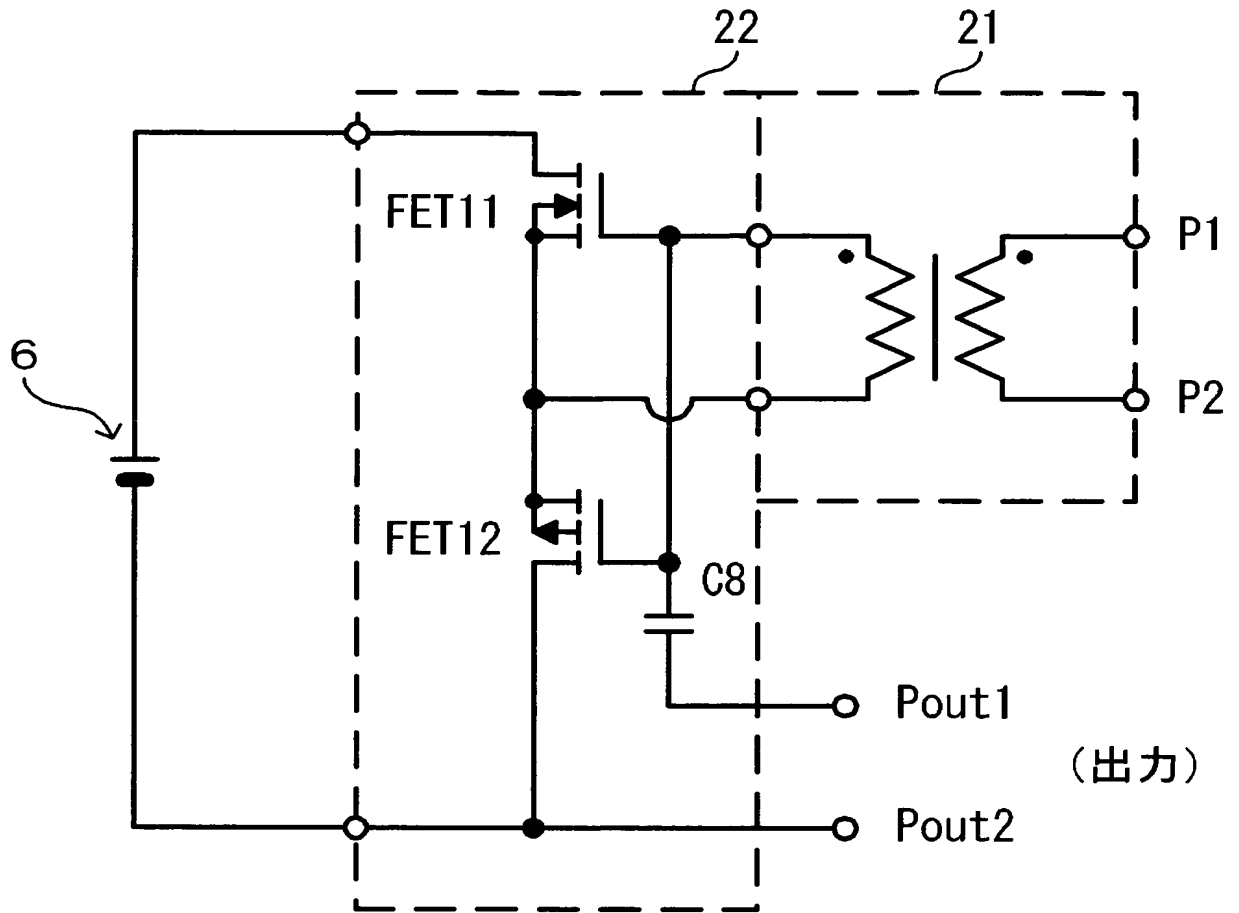
【図 8】



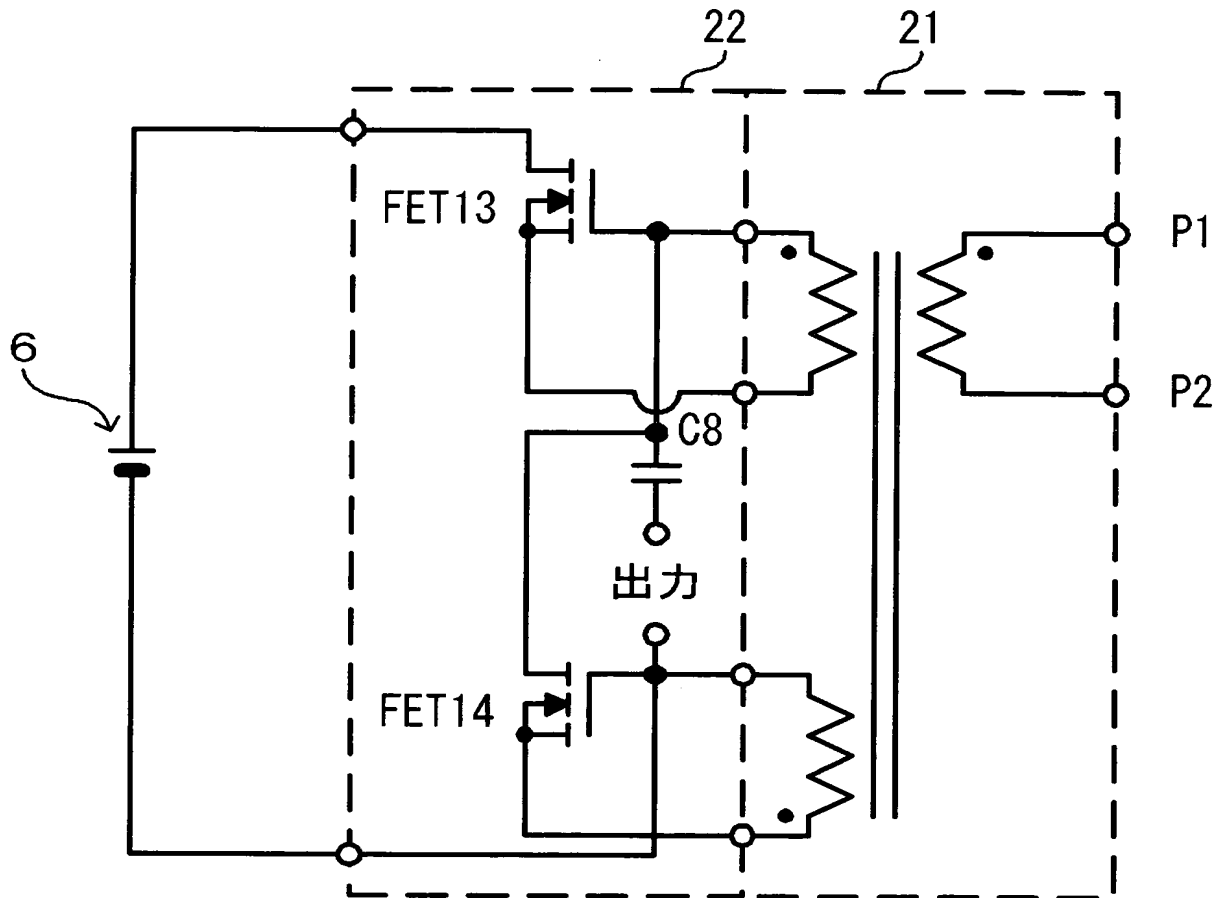
【図 9】



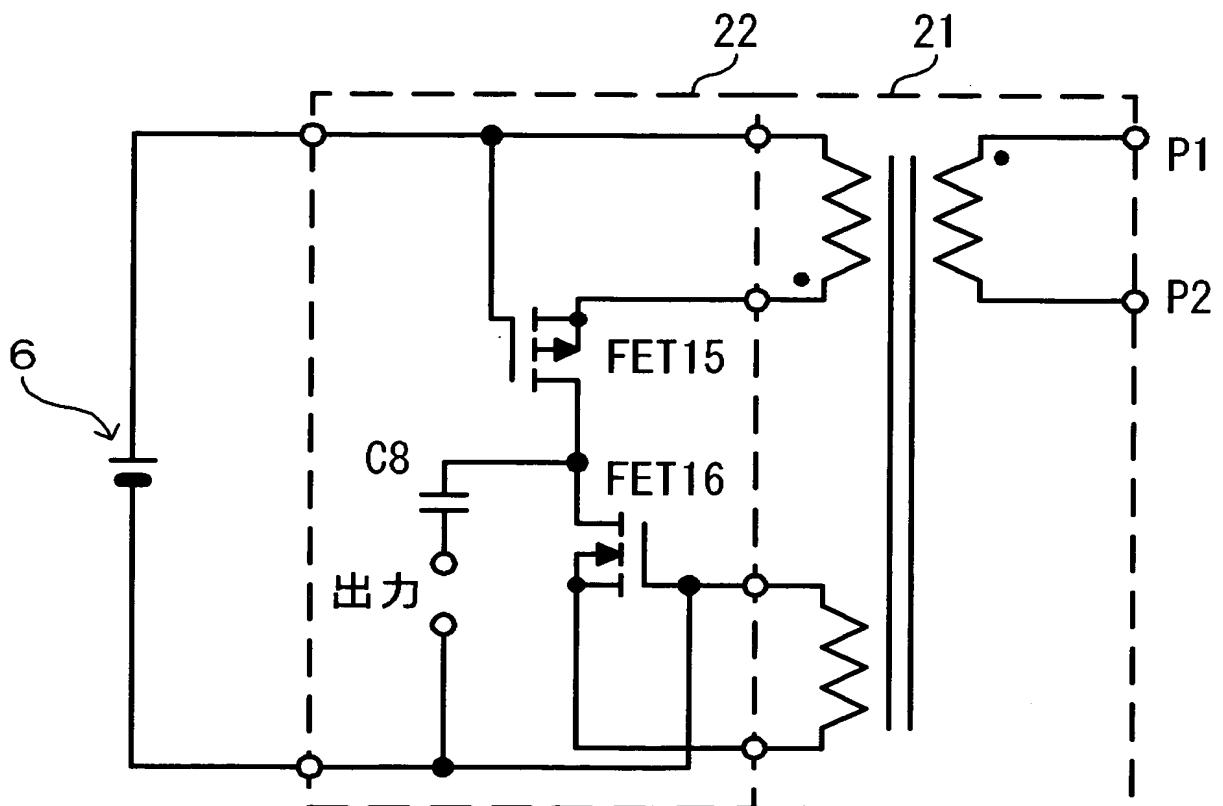
【図 10】



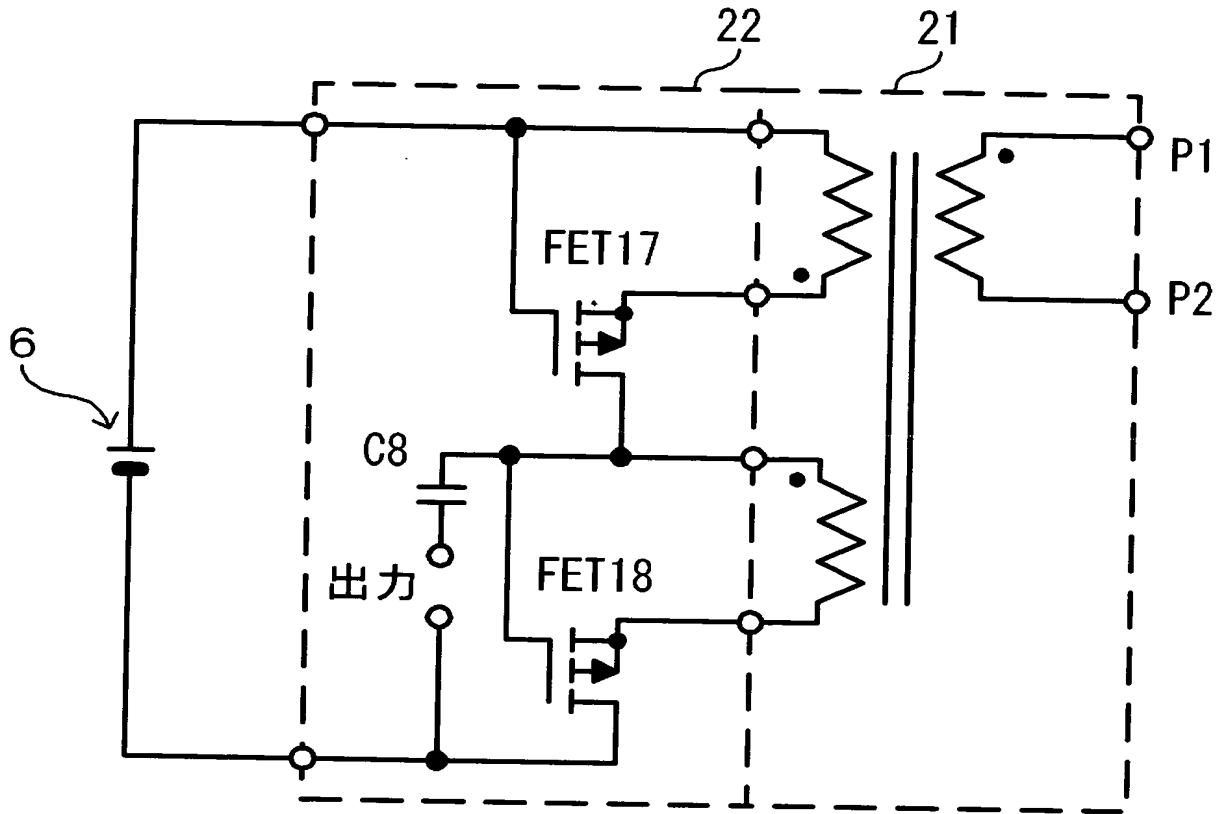
【図 11】



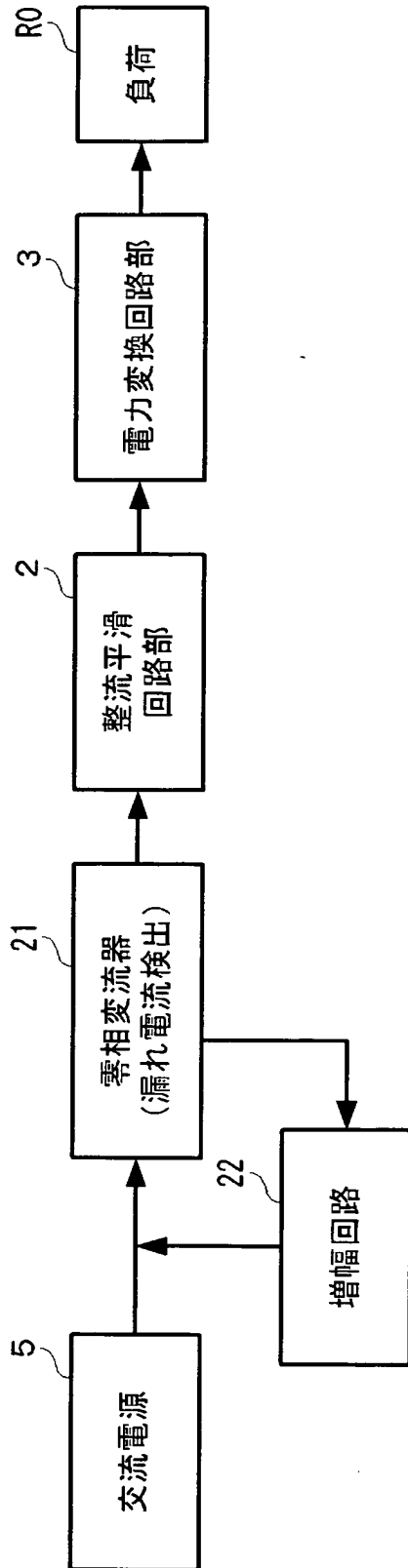
【図 12】



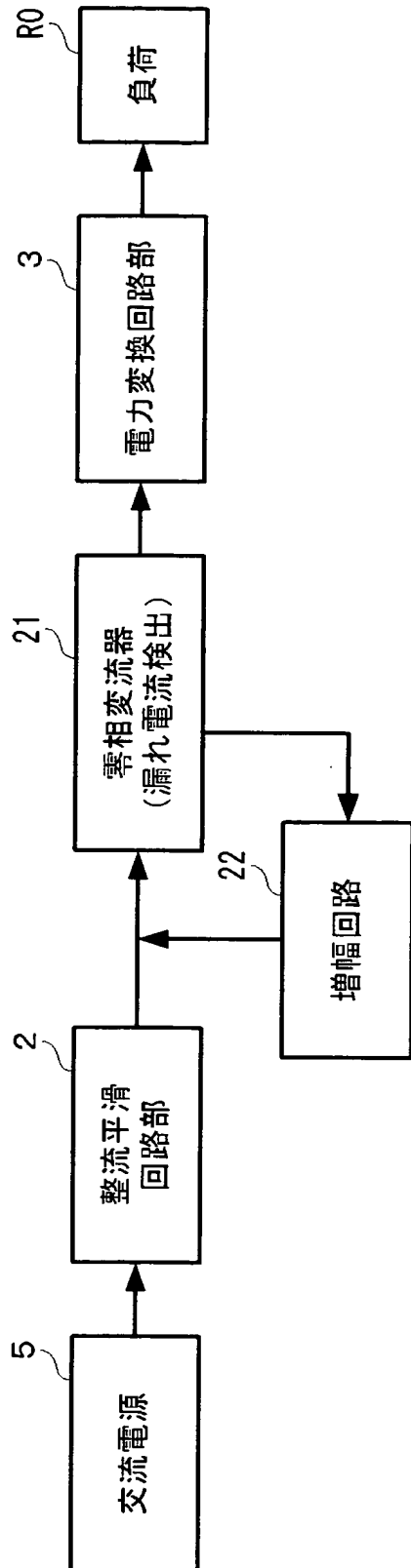
【図 13】



【図 14】

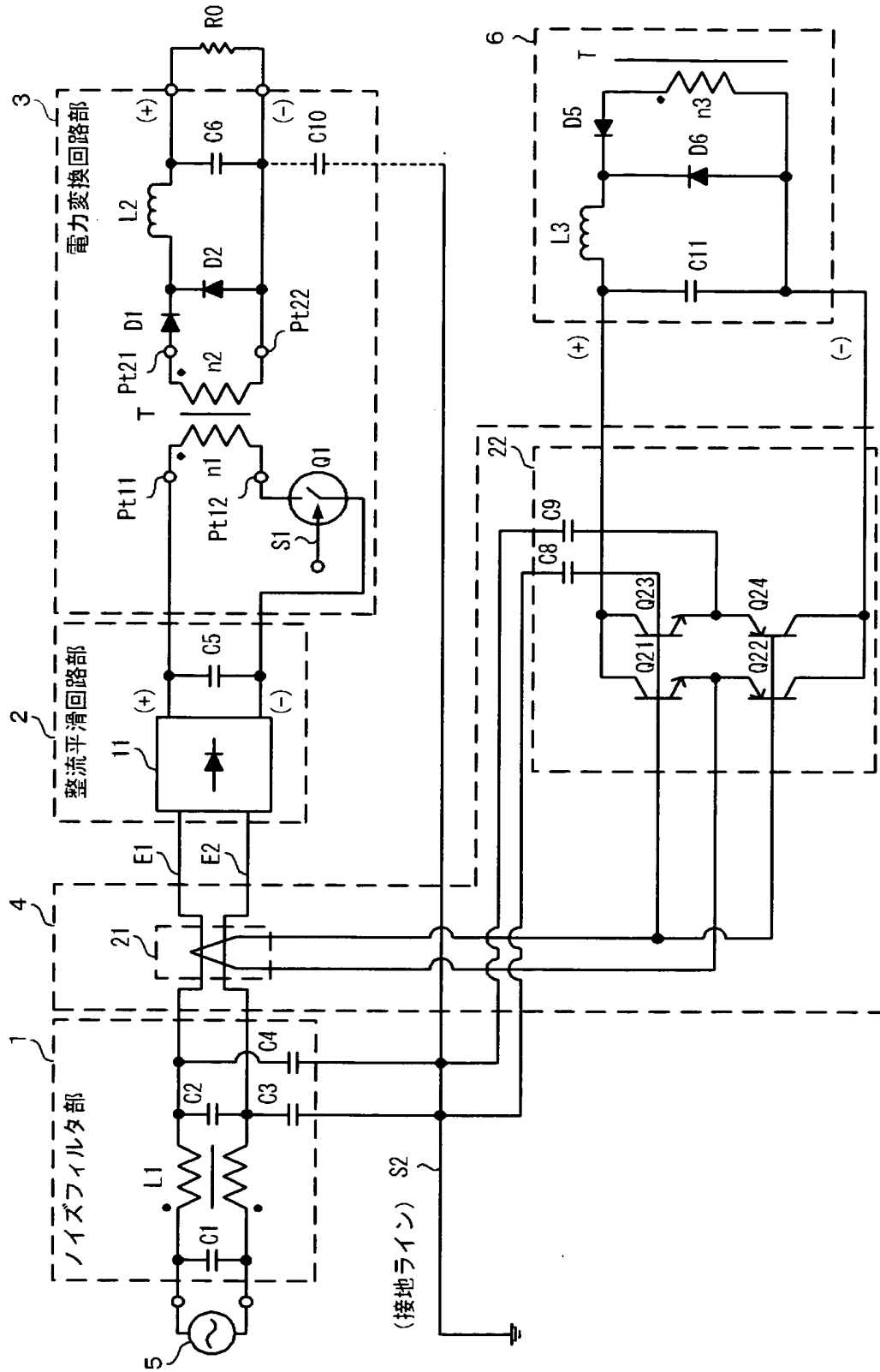


【図 15】

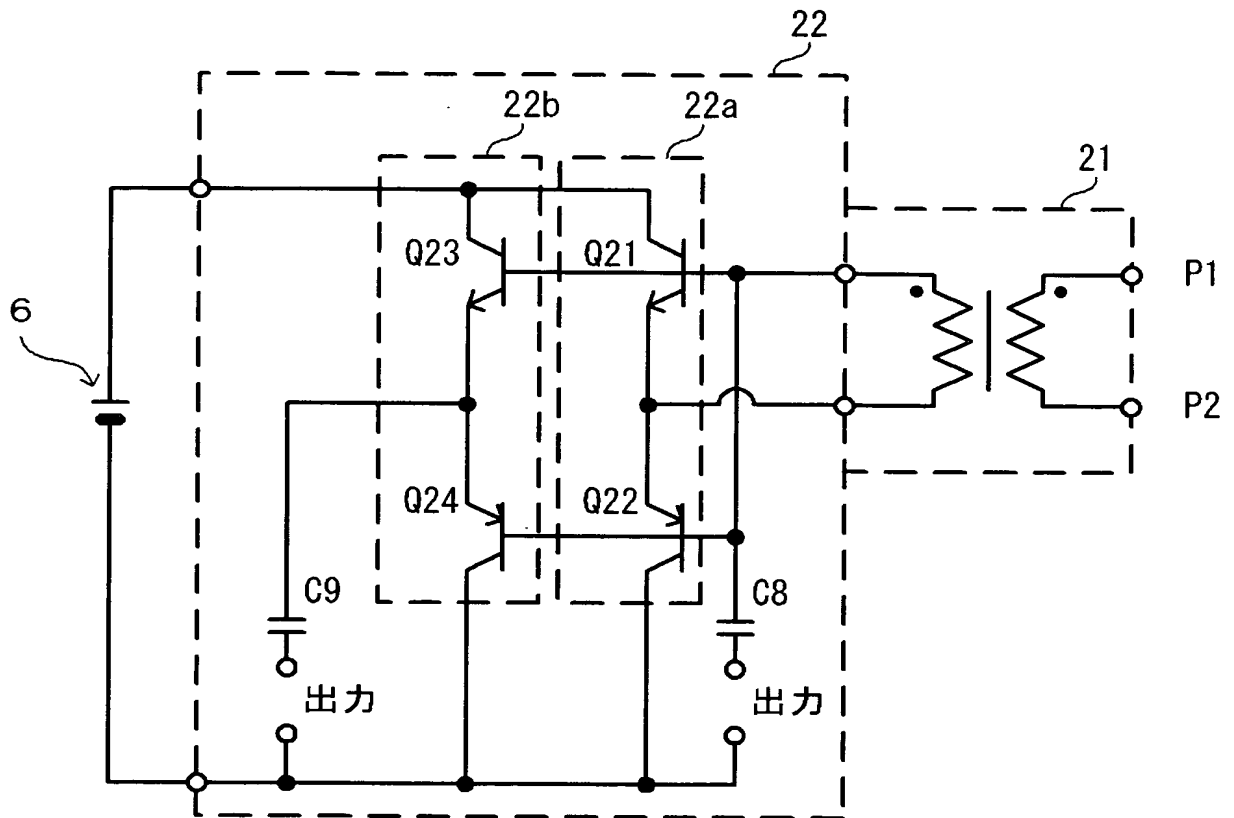


【図 16】

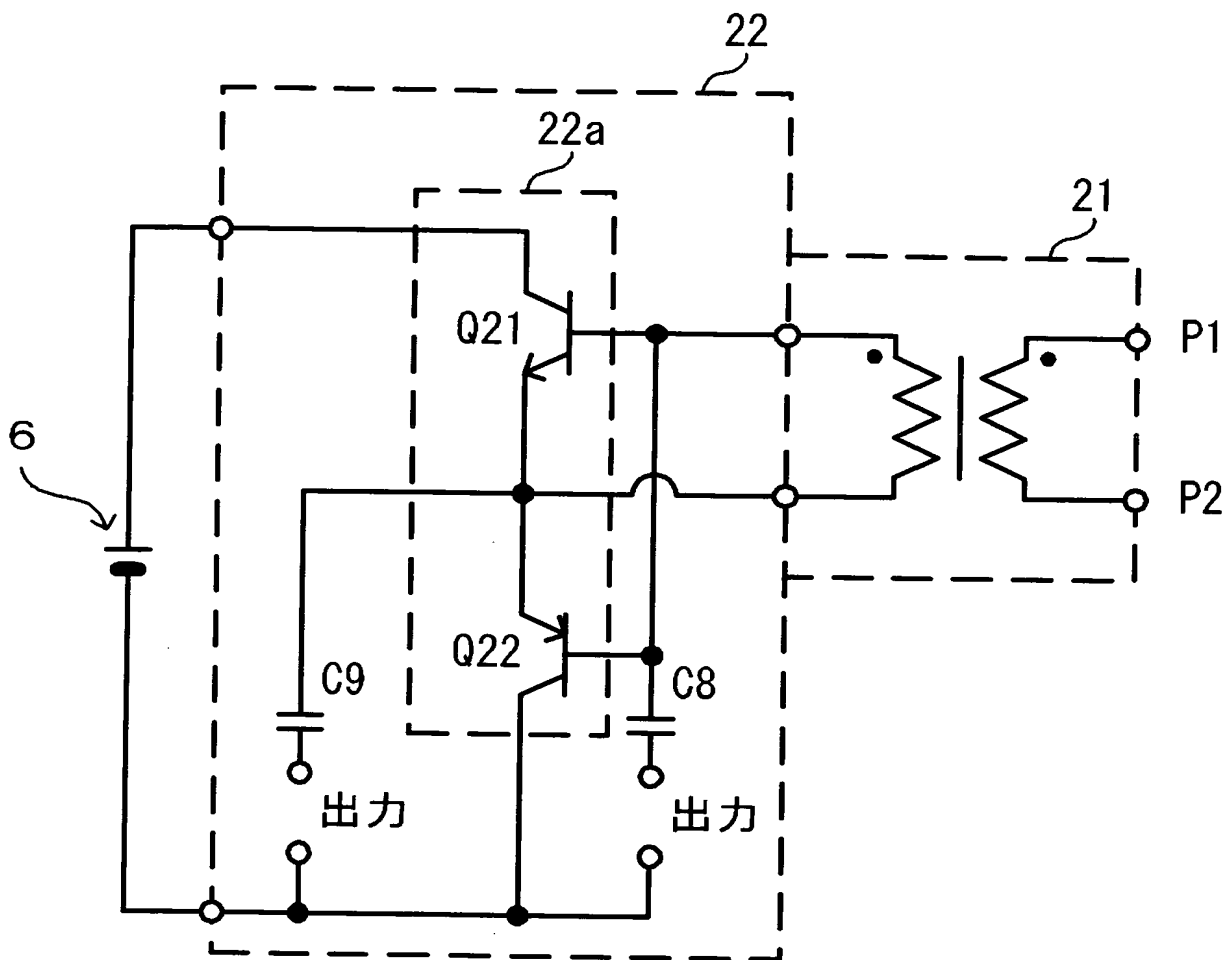
4: ノイズ低減回路部



【図 17】

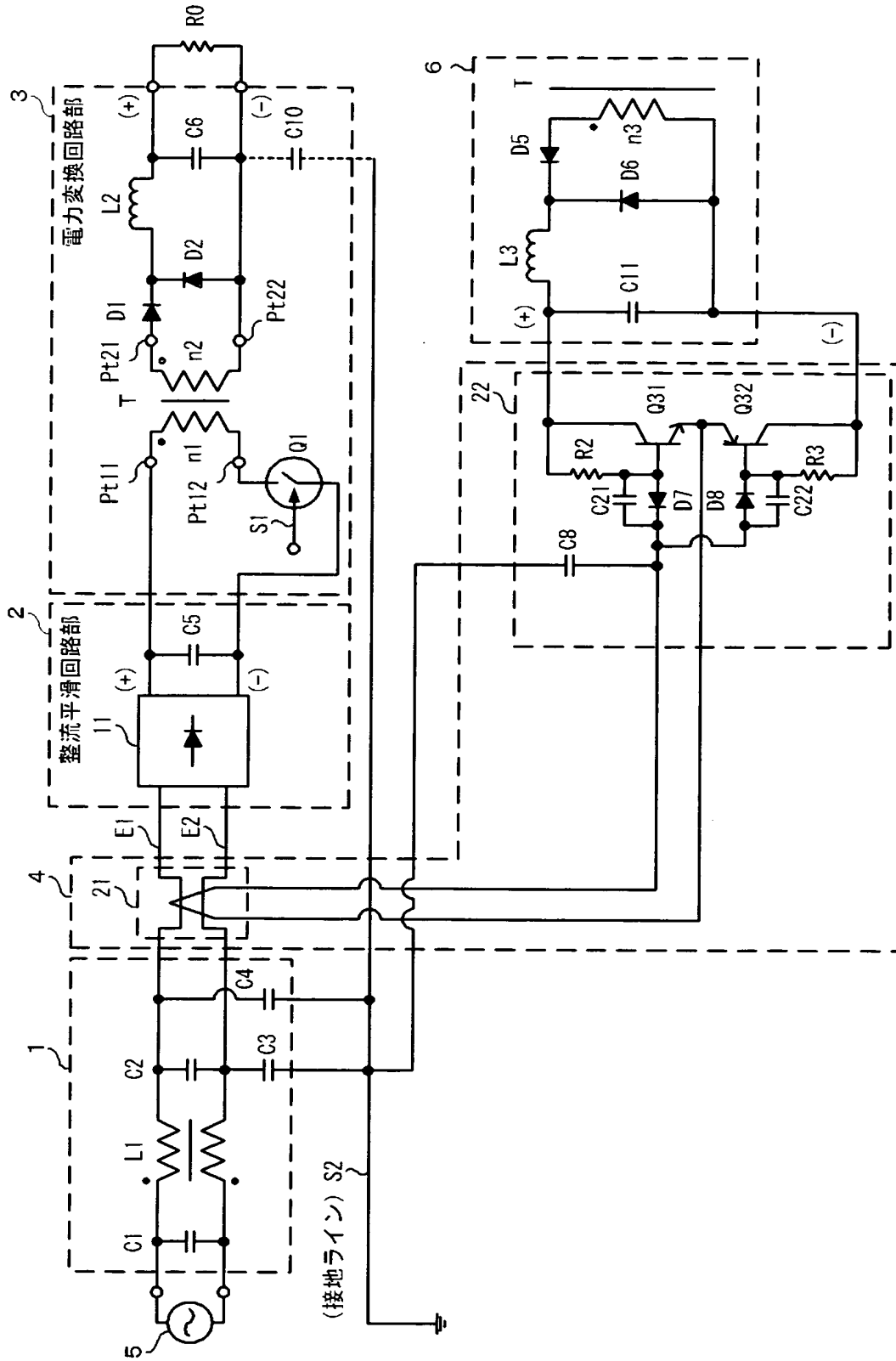


【図 18】

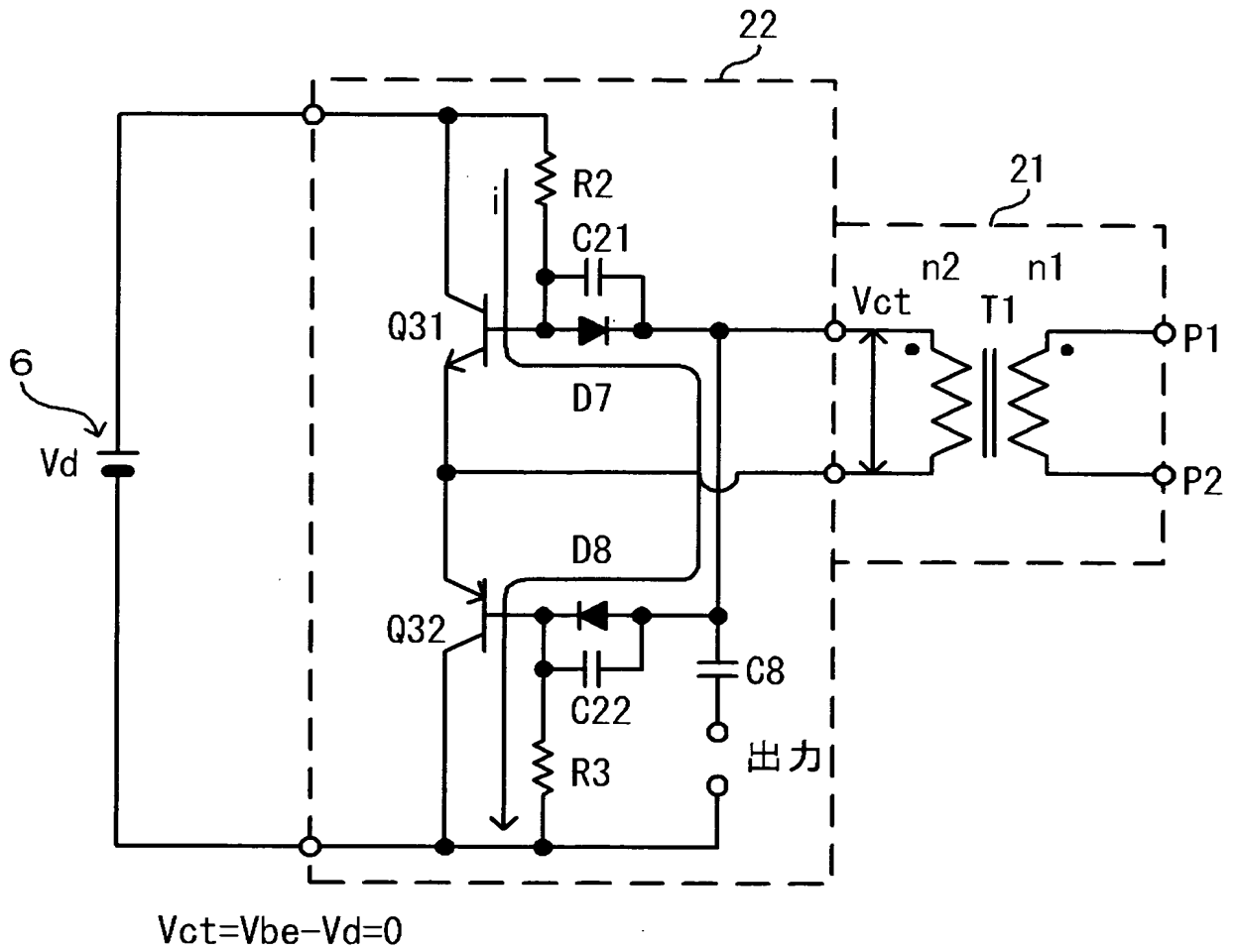


【図 21】

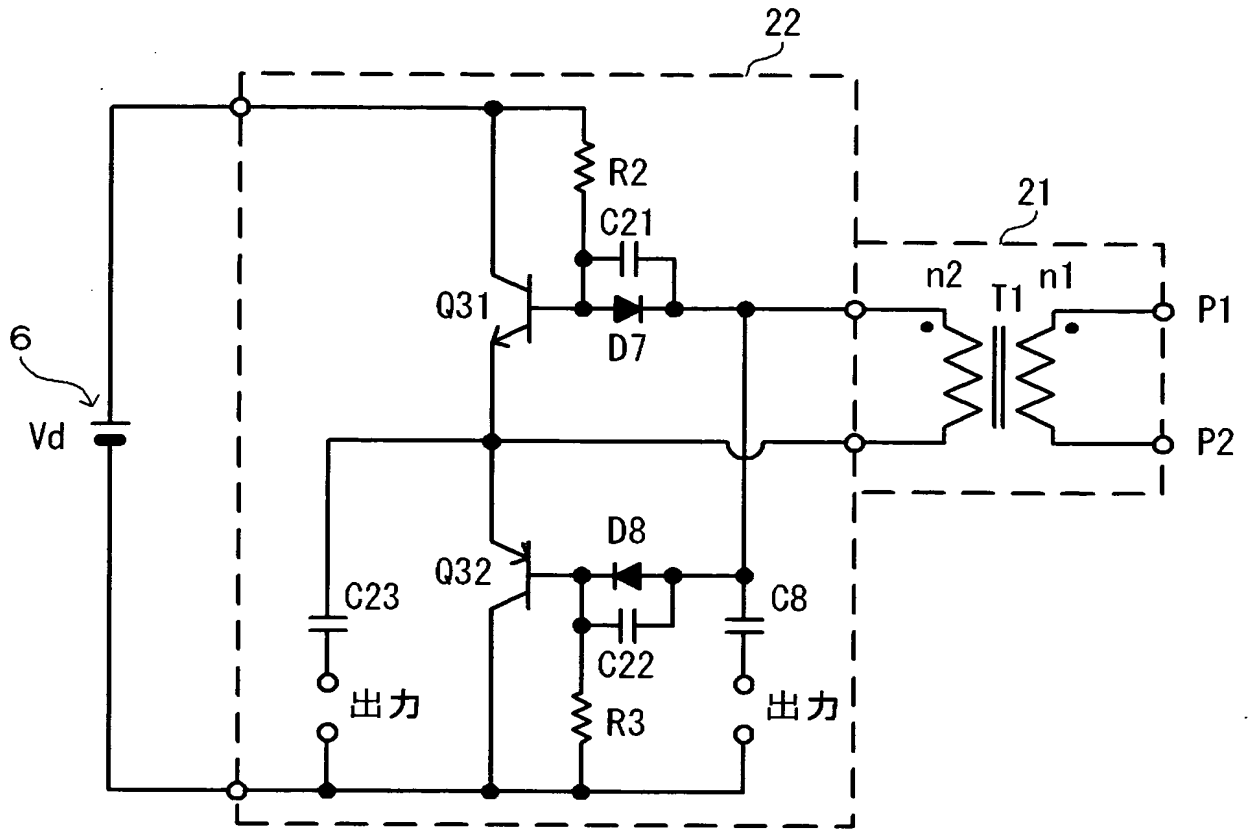
4: ノイズ低減回路部



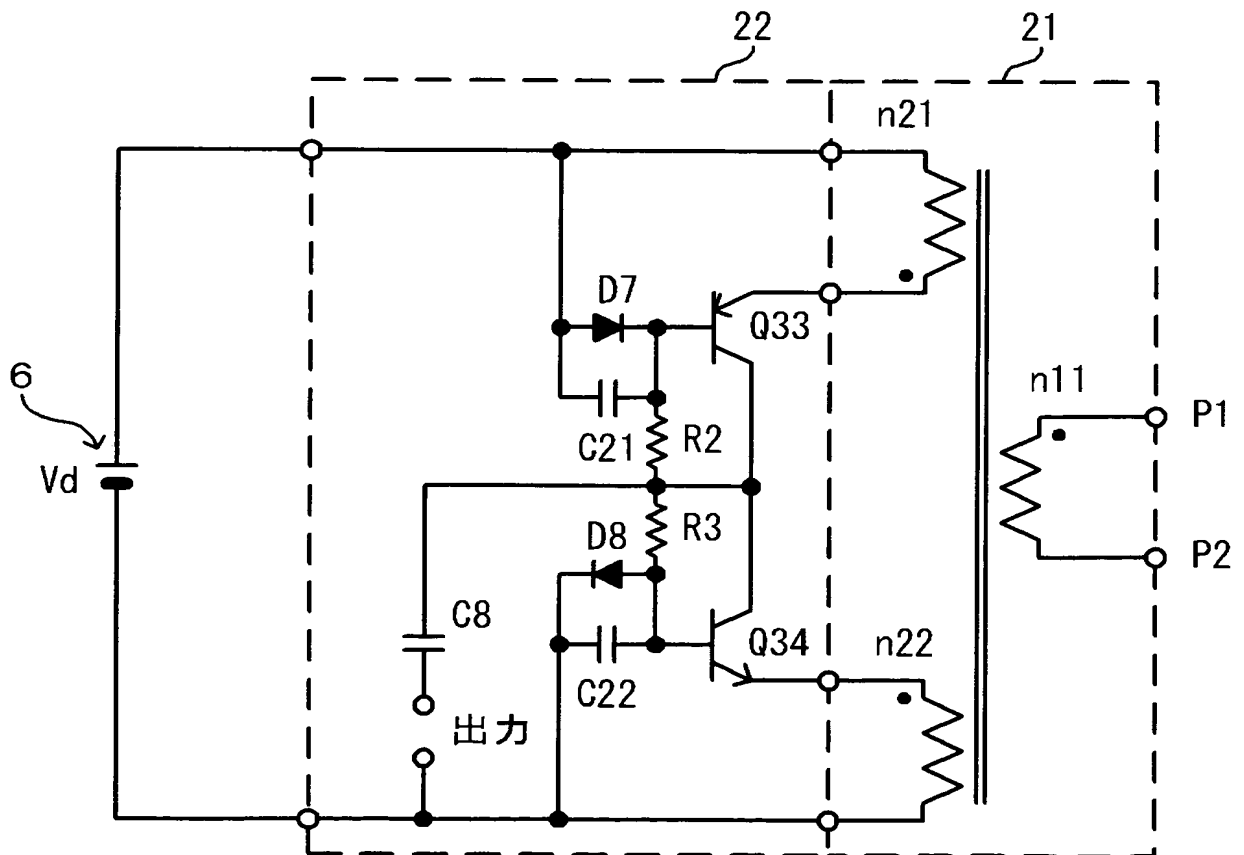
【図 22】



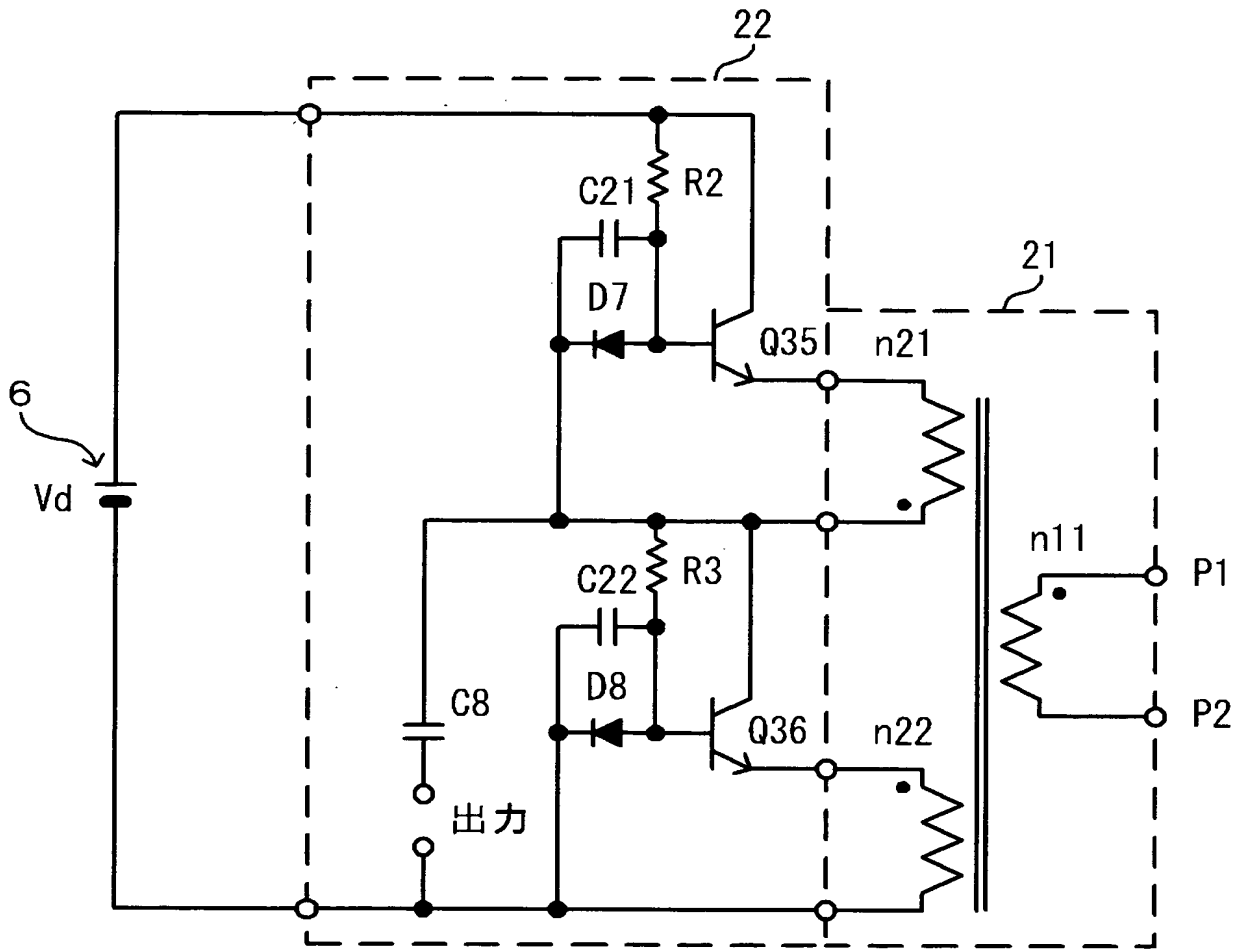
【図 2 3】



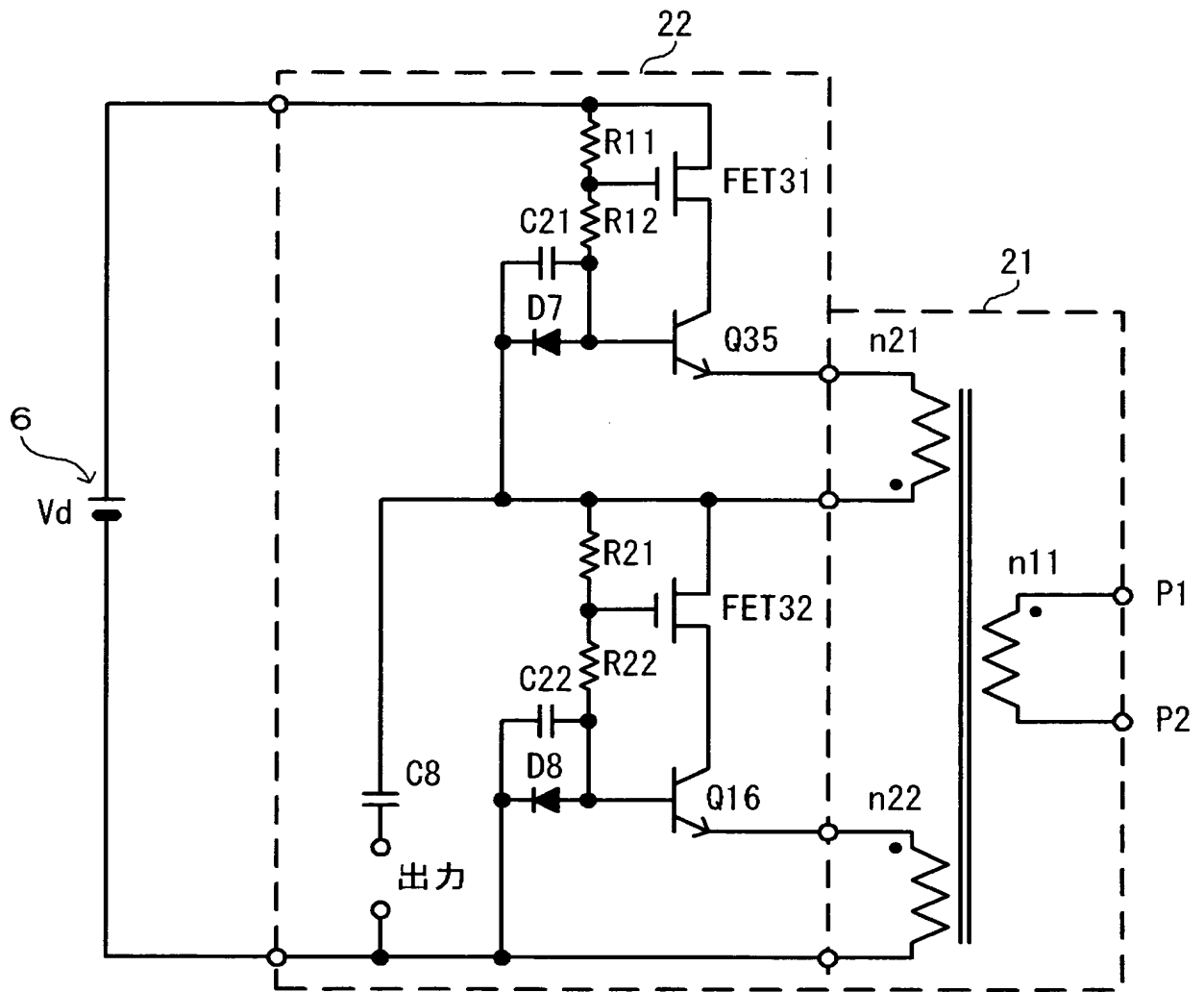
【図 2 4】



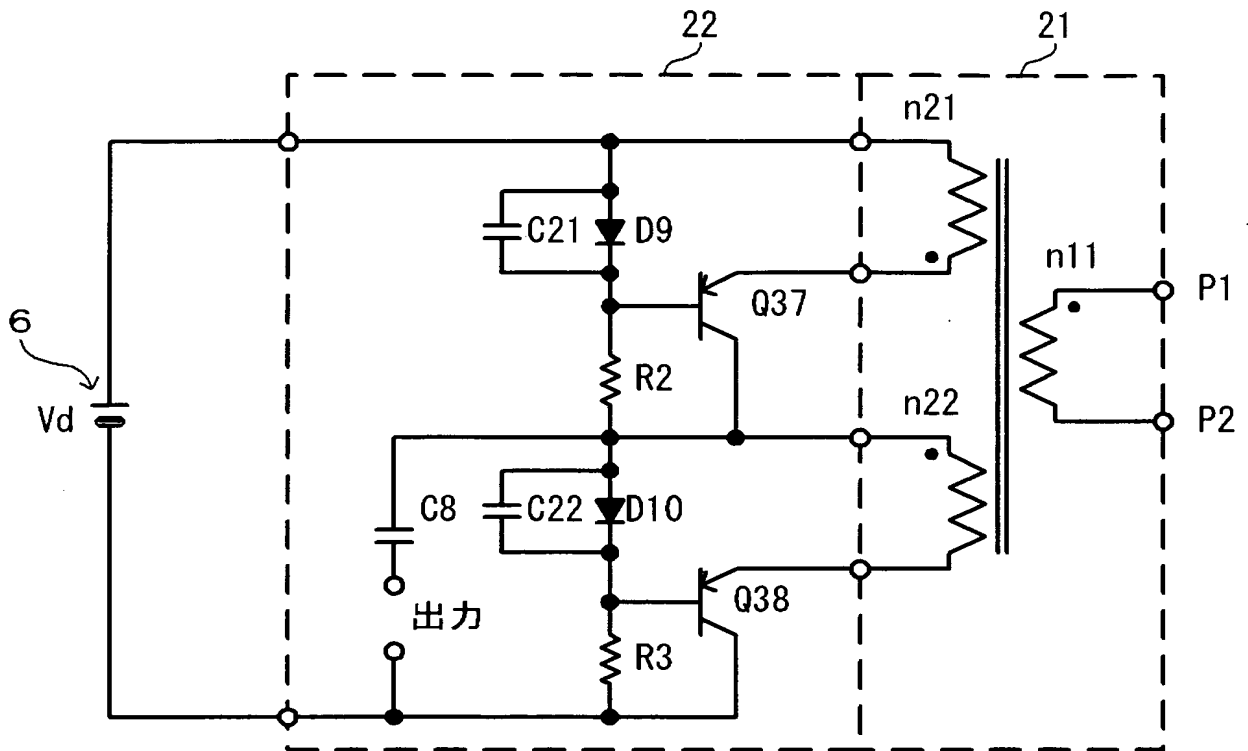
【図 25】



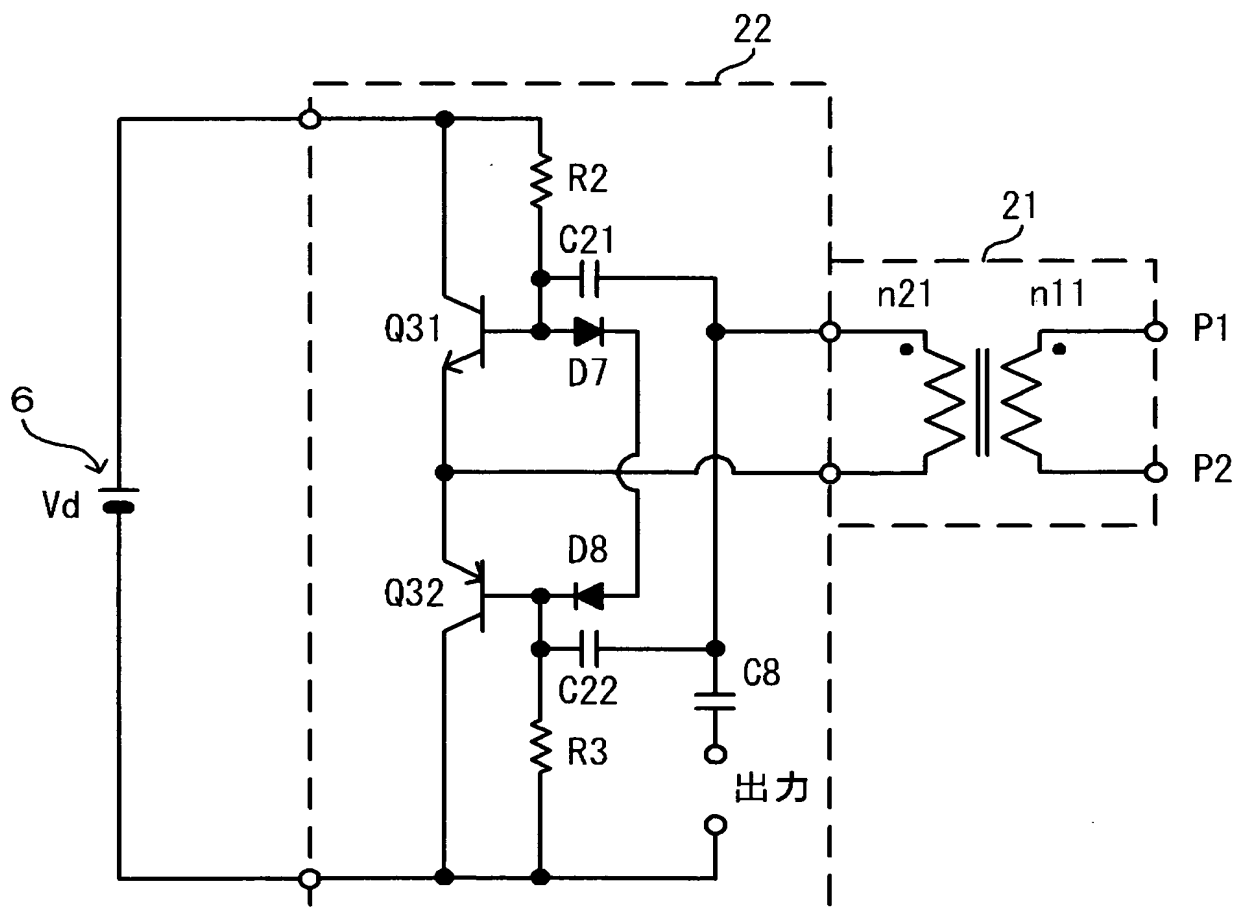
【図 26】



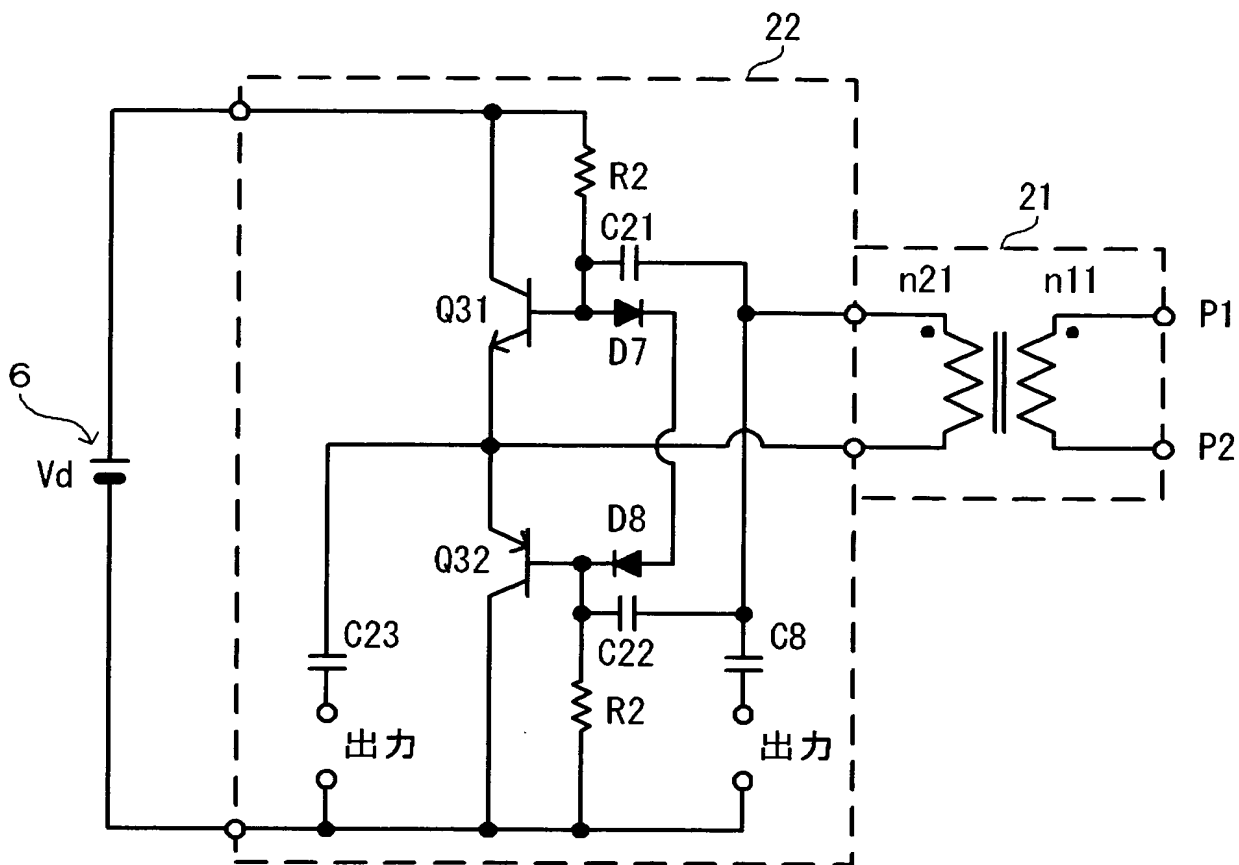
【図 27】



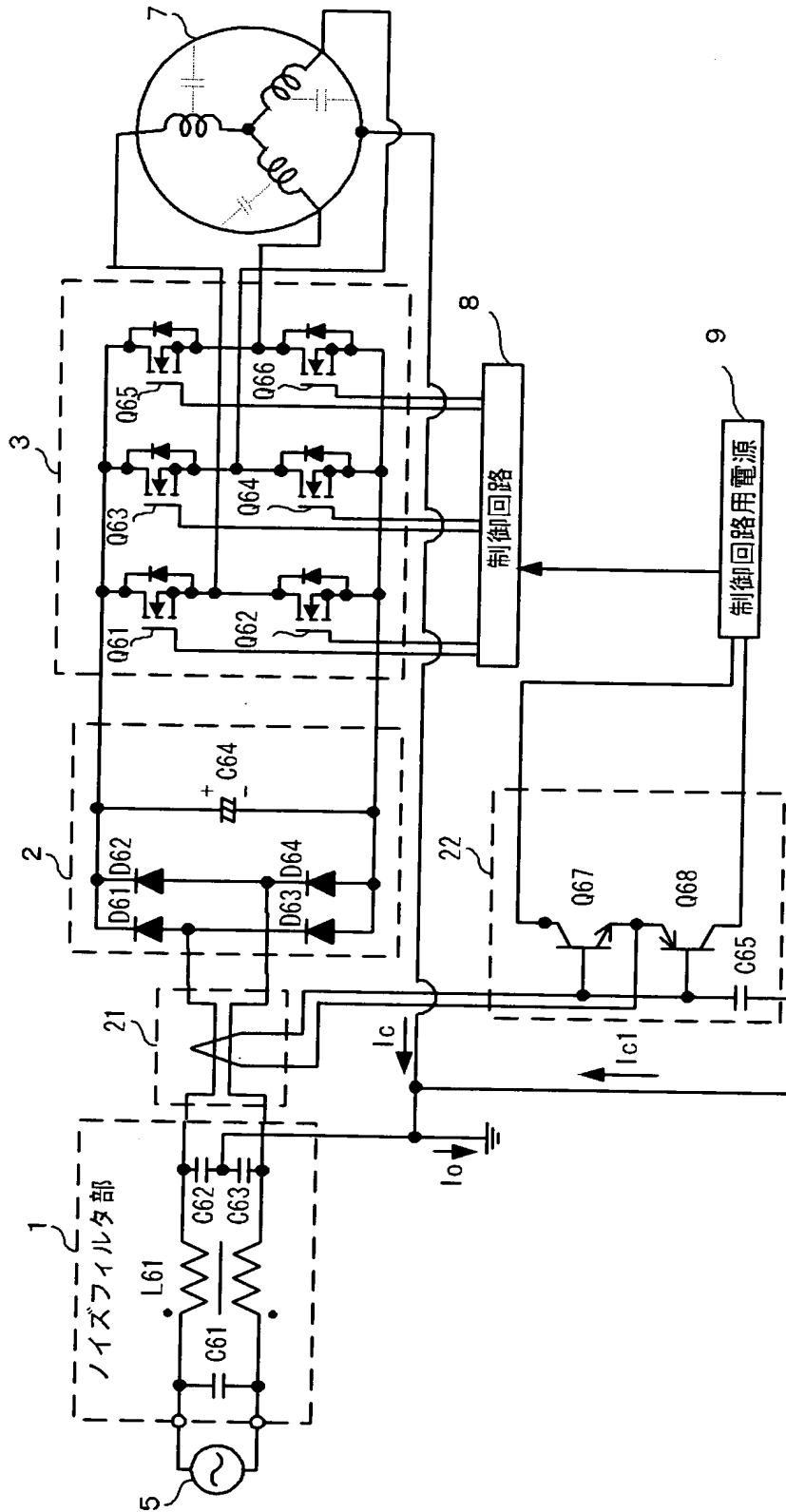
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 装置を小型化する。

【解決手段】 電力を供給する交流電源 5 と電力変換回路部 3 との間に接続され、電力変換回路部 3 のスイッチングによって発生する接地ライン S 2 への漏れ電流をノイズ電流として検出する零相検流器 2 1 と、漏れ電流と同等で逆向きの補償電流を、漏れ電流が流れている接地ライン S 2 に供給するノイズ低減回路部 4 とを備える。ノイズ低減回路部 4 は、零相検流器 2 1 で検出された電流を増幅して漏れ電流と同等な逆向きの補償電流を形成する増幅回路 2 2 を有する。増幅回路 2 2 は、トランジスタ Q 1 1, Q 1 2 とコンデンサ C 8 とを備える。ノイズ低減回路部 4 から供給される補償電流は、零相検流器 2 1 よりも交流電源 5 側に配置される。零相変流器 2 1 のコアは、円筒形状を有し、入出力巻線は各々 1 ターン貫通型とする。

【選択図】 図 1

特願 2 0 0 3 - 3 5 8 4 6 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 0 6 2 7 6]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

埼玉県新座市北野 3 丁目 6 番 3 号

氏 名

サンケン電気株式会社